

# Лабораторная работа № 1

## Суммирующие и вычитающие устройства

**Цель работы:** Получение теоретических знаний по схемотехническому проектированию наиболее распространенных суммирующих и вычитающих устройств, а также приобретение практических навыков по сборке их схем.

### Краткие теоретические сведения

**Сумматор (Summator, Adder)** – комбинационное логическое устройство, выполняющее арифметическое сложение чисел, представленных в виде двоичных кодов. Сумматоры применяются в цифровой технике и используются как самостоятельно, так и в составе арифметико-логических устройств. На принципиальных схемах сумматор обозначается буквами SM. Сумматоры подразделяются на неполные (полусумматоры – Half Adder) и полные сумматоры (Full Adder).

**Полусумматор** (обозначается HS) является простейшим суммирующим устройством, таблица истинности, логическая схема и условное обозначение которого приведены на рис.1.

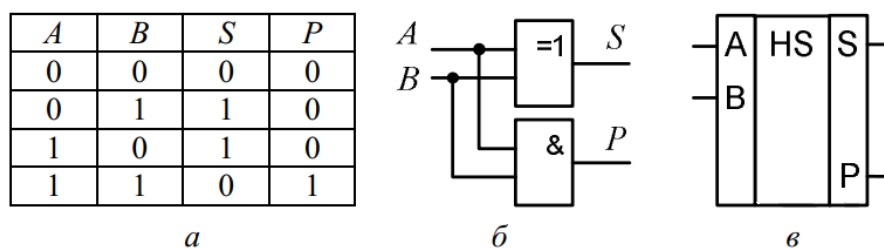


Рис.1. Таблица истинности (а), логическая схема (б) и условное обозначение (в) одноразрядного полусумматора

Полусумматор HS осуществляет арифметическое сложение двух одноразрядных чисел A и B по правилам суммирования двоичных чисел:  $0 + 0 = 0$ ,  $0 + 1 = 1$ ,  $1 + 0 = 1$ ,  $1 + 1 = 10$ . В результате сложения для каждого разряда получаются две цифры: сумма S для этого разряда и значение переноса P, которое переносится в следующий старший разряд. При арифметическом сложении двух чисел ( $1 + 1$ ) результат оказывается двухразрядным двоичным числом ( $10_2 = 2_{10}$ ). В этом случае сумма  $S = 0$ , а 1 переносится в старший разряд ( $P = 1$ ).

Следует отметить, что при логическом сложении этих двух чисел результат суммирования будет 1, так как согласно правилам алгебры логики  $x \vee x = x$ . Это обстоятельство не позволяет применить для арифметического суммирования логический элемент ИЛИ, а требует разработки специальных устройств. Из таблицы истинности (рис.1.а) следует, что арифметическая сумма S чисел A и B и сигнал переноса P определяются выражениями:

$$S = \bar{A}B + A\bar{B} = A \oplus B, \quad P = A \cdot B. \quad (1)$$

В выражении (1) сумма S представляет собой функцию алгебры логики

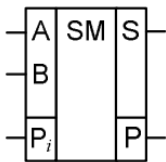
неравнозначности, выполняет логическую операцию суммирования по модулю два и реализуется интегральной микросхемой ИСКЛЮЧАЮЩЕЕ ИЛИ. Сигнал переноса в старший разряд  $P = A \cdot B$  появляется на выходе только тогда, когда на входы  $A$  и  $B$  поданы единицы, данная операция умножения (конъюнкции) реализуется логическим элементом 2И. Таким образом, полусумматор имеет два входа и выхода (см. рис.1). Такие схемы предназначены для арифметического сложения двух одноразрядных чисел и используется только для суммирования младших разрядов.

**Одноразрядный полный сумматор SM** (рис.2.б) отличается от полусумматора HS тем, что он имеет три входа (два слагаемых и перенос  $P_i$  из предыдущего  $i$ -го разряда), а также два выхода (суммы  $S$  и переноса  $P$  в следующий старший разряд). Его таблица истинности и условное обозначение приведены на рис.2.

Рассмотрим **метод проектирования (синтез)** полного одноразрядного сумматора, осуществляющего суммирование трех переменных  $A$ ,  $B$  и  $P_i$ . При этом если на входе SM суммируются числа типа  $(1 + 1)$ , то на выходе SM необходимо осуществить перенос  $P$  полученной единицы в следующий разряд, а также осуществить прием сигнала переноса  $P_i$ , поступившего из  $i$ -го предыдущего разряда.

Входы			Выходы	
$A$	$B$	$P_i$	$S$	$P$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

а



б

Рис.2. Таблица истинности (а) и условное обозначение (б) одноразрядного сумматора

По данным таблицы истинности (рис. 2.а) запишем логические выражения для значений суммы  $S$  и переноса  $P$ , и минимизируем их аналитическим методом, используя законы и правила алгебры логики:

$$S = \bar{A} \cdot \bar{B} \cdot P_i + \bar{A} \cdot B \cdot \bar{P}_i + A \cdot \bar{B} \cdot \bar{P}_i + A \cdot B \cdot P_i =$$

$$= \bar{P}_i(\bar{A} \cdot B + A \cdot \bar{B}) + P_i(\bar{A} \cdot \bar{B} + A \cdot B) = \bar{P}_i(A \oplus B) + P_i(\overline{A \oplus B}) = (A \oplus B) \oplus P_i, \quad (2)$$

$$P = \bar{A} \cdot B \cdot P_i + A \cdot \bar{B} \cdot P_i + A \cdot B \cdot \bar{P}_i + A \cdot B \cdot P_i =$$

$$= P_i \cdot (\bar{A} \cdot B + A \cdot \bar{B}) + A \cdot B \cdot (\bar{P}_i + P_i) = P_i(A \oplus B) + A \cdot B. \quad (3)$$

По выражениям (2) и (3) составим логическую схему двоичного полного одноразрядного сумматора SM (рис.3).

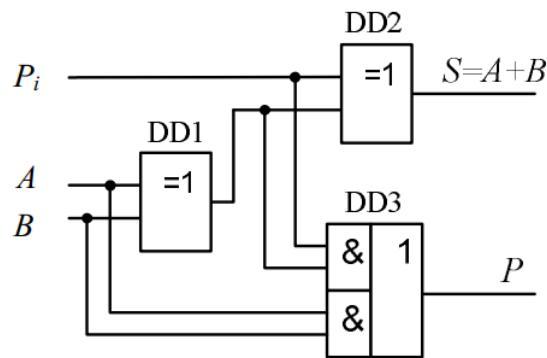


Рис.3. Схема одноразрядного полного сумматора

Представленная на рис.3 логическая схема сумматора реализована на логических элементах ИСКЛЮЧАЮЩЕЕ ИЛИ (DD1 и DD2), а также схемы DD3, в состав которой входят элементы 2И и 2ИЛИ.

**Многоразрядные сумматоры** состояются из полных одноразрядных сумматоров и выполняют арифметическую операцию суммирования многоразрядных двоичных чисел  $A = a_n a_{n-1} \dots a_0, B = b_n b_{n-1} \dots b_0$ . По принципу обработки разрядов чисел многоразрядные сумматоры делятся на **последовательные** и **параллельные**.

В **последовательном многоразрядном сумматоре** сложение кодов осуществляется последовательно, т.е. поразрядно, начиная с младшего разряда с помощью одноразрядного сумматора на три входа. Достоинством последовательного многоразрядного сумматора является простота аппаратной реализации, а недостатком – достаточно большое время суммирования. На рис. 4 приведена схема последовательного двоичного n-разрядного сумматора. Такой сумматор требует минимальных аппаратных затрат, однако длительность операции сложения пропорциональна разрядности чисел. Поэтому последовательные сумматоры можно использовать в относительно медленнодействующих устройствах.

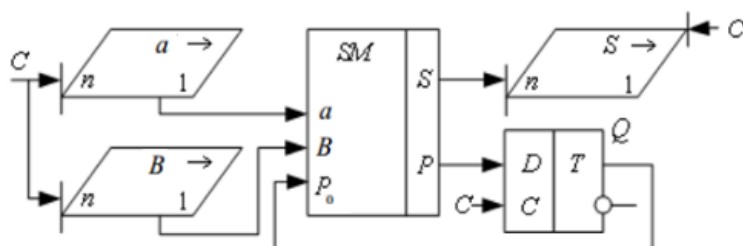


Рис.4. Схема последовательного n-разрядного сумматора

В **параллельном многоразрядном сумматоре** достигается более высокое быстродействие, т.к. суммируемые коды поступают на входы сумматора одновременно по всем разрядам. Обычно в ЭВМ используют обработку данных параллельно по разрядам. По способу формирования сигнала переноса параллельные многоразрядные сумматоры подразделяют на **сумматоры с последовательным, параллельным и групповым переносом**. Выбор схем переноса диктуется требуемым быстродействием сумматора.

На рис. 5 показан пример построения из n одноразрядных сумматоров

одного параллельного  $n$ -разрядного сумматора с **последовательным переносом**. Данный многоразрядный сумматор имеет  $2n$  входных разрядных линий  $a_i$  и  $b_i$  для приема цифр двоичных разрядов слагаемых,  $n$  выходных линий  $S_n$  разрядов суммы, выход переноса  $P_n$  из старшего разряда и вход переноса  $P_0$  на младший разряд сумматора. В рассмотренной схеме перенос выполняется последовательно из разряда в разряд, что занимает некоторое время. Максимальное по времени суммирование получается в том случае, когда перенос, возникший в первом разряде, распространяется по всем разрядам (например, при сложении кодов 11...11 и 00...01). При суммировании многоразрядных чисел это время оказывается значительным и именно оно определяет время суммирования.

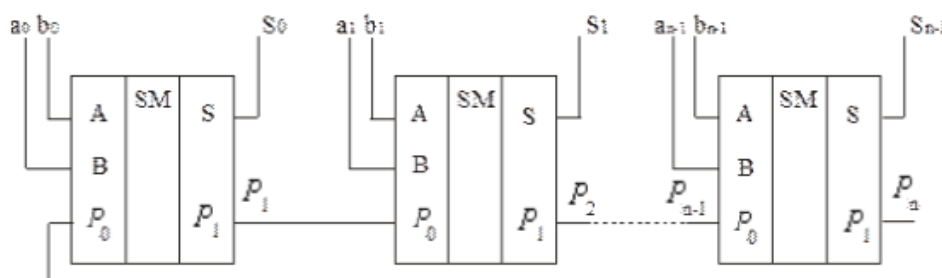


Рис.5. Схема параллельного  $n$ -разрядного сумматора с последовательным переносом

Для повышения быстродействия в многоразрядных сумматорах применяют **параллельное формирование переносов** в специальных блоках ускоренного переноса.

В многоразрядных сумматорах **увеличение разрядности** достигается путем каскадирования SM. При этом выход переноса  $P$  младшего разряда соединяют с входом переноса  $P_i$  старшего разряда. При работе многокаскадного сумматора в режиме суммирования на вход переноса младшего разряда подается логический 0. В этом случае младший разряд микросхемы DD1 может быть полусумматором. Принцип каскадирования трех 2-разрядных сумматоров показан на рис.6.

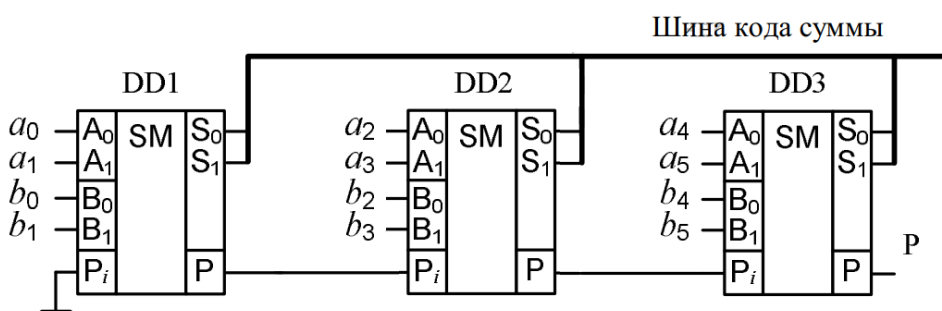


Рис.6. Схема каскада из трех 2-разрядных сумматоров (для получения 6-разрядного сумматора)

Простейшим вычитающим устройством является **полувывчитатель**, который осуществляет арифметическое вычитание двух одноразрядных чисел  $A$  и  $B$  в двоичном коде. Составим таблицу истинности одноразрядного полувывчитателя (см. рис.7.а) с учетом того, что в случае вычитания чисел  $(0 - 1)$  на выходе результат  $R = 1$ , а на выходе займа  $Z$  будет сформирована единица.

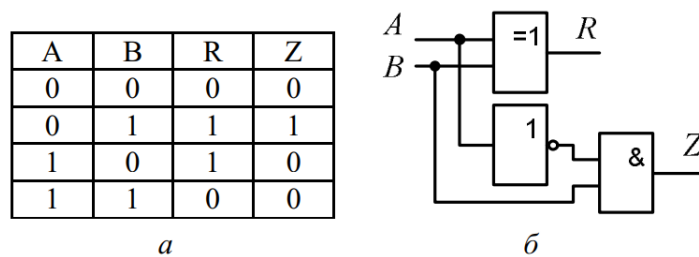


Рис.7. Таблица истинности (а) и логическая схема (б) одноразрядного полувычитателя

Из таблицы истинности (рис.7.а) следует, что разность  $R$  двух чисел  $A$  и  $B$ , а также сигнал переноса займа в старший разряд  $Z$  будут определяться логическими выражениями:

$$R = \bar{A}B + A\bar{B} = A \oplus B, \quad Z = \bar{A} \cdot B. \quad (4)$$

Логическая схема полувычитателя (рис.7.б) составлена согласно выражениям (4) и реализована на логических элементах ИСКЛЮЧАЮЩЕЕ ИЛИ, инвертора НЕ и умножителя 2И.

**Полный вычитатель** на схемах обозначается буквами SUB (Sutraktor). Рассмотрим логический синтез полного одноразрядного вычитателя, который функционирует в соответствии с таблицей истинности, приведенной на рис. 8.а. На рис. 8.б показано условное обозначение одноразрядного полного вычитателя.



Рис.8. Таблица истинности (а) и условное обозначение (б) одноразрядного вычитателя

Одноразрядный полный вычитатель имеет три входа, на которые подаются входные сигналы: уменьшаемое число  $A$ , вычитаемое число  $B$  и займ  $Z_i$ . Сигнал займа  $Z_i$  поступает на вход старшего  $i$ -го разряда вычитателя. На выходе формируются сигналы разности двоичных чисел  $R$  и займа  $Z_i$ .

Значение разности двоичных чисел  $R$  определим, используя данные таблицы истинности (рис.8.а). Минимизируем полученное логическое выражение для разности  $R$  аналогично расчету суммы  $S$  по выражению (2):

$$R = \bar{A} \cdot \bar{B} \cdot Z_i + \bar{A} \cdot B \cdot \bar{Z}_i + A \cdot \bar{B} \cdot \bar{Z}_i + A \cdot B \cdot Z_i = A \oplus B \oplus Z_i. \quad (5)$$

Запишем согласно данным таблицы истинности (рис.8.а) логическое выражение для значений  $Z$  и минимизируем его аналитическим методом:

$$Z = \bar{A} \cdot \bar{B} \cdot Z_i + \bar{A} \cdot B \cdot \bar{Z}_i + \bar{A} \cdot B \cdot Z_i + A \cdot B \cdot Z_i = \bar{A} \cdot (B \oplus Z_i) + B \cdot Z_i. \quad (6)$$

По выражениям (5) и (6) составим логическую схему одноразрядного полного вычитателя (см. рис. 9).

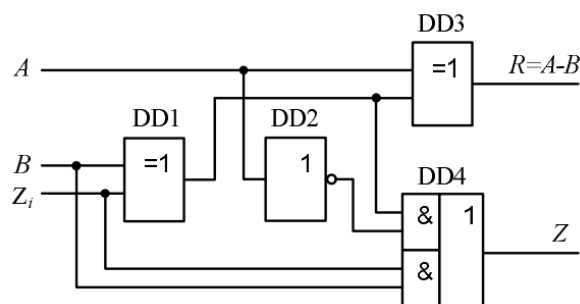


Рис.9. Схема одnorазрядного полного вычитателя

В цифровых устройствах находят применение комбинированные **сумматоры-вычитатели (SM-SUM)**. Они используются с целью упрощения схемной реализации при проектировании цифровых устройств, когда вместо отдельных схем сумматора и вычитателя используется комбинированная схема SM-SUB.

Рассмотрим принцип проектирования простой одnorазрядной схемы сумматора-вычитателя, используя свойства логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ (сумматора по модулю два). Суммирование по модулю 2 входного сигнала  $A$  и постоянного управляющего сигнала  $K = 0$  не инвертирует сигнал  $A$ , при значениях  $K = 1$  осуществляется инверсия сигнала  $A$ .

Составим по ранее полученным выражениям (5) и (6) логическую схему одnorазрядного сумматора-вычитателя (см. рис. 10). В данной схеме в качестве DD1-DD3 используются логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ.

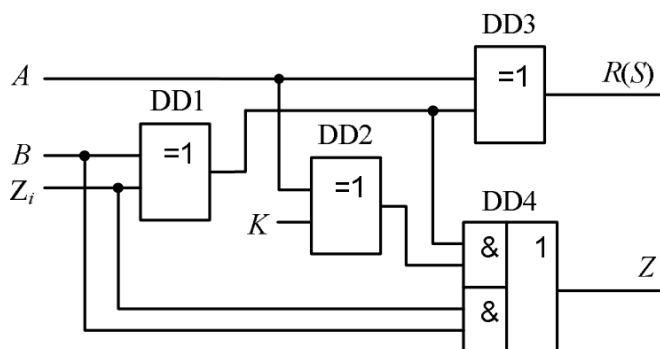


Рис.10. Схема одnorазрядного сумматора-вычитателя

Согласно выражению (6) в схеме SM-SUB в режиме вычитающего устройства в качестве DD2 необходимо применить инвертор. В данном варианте устройства используется логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, выполняющий роль схемы управления. При подаче на вход DD2 сигнала  $A$  и постоянного сигнала  $K = 0$  схема DD2 будет повторять сигнал  $A$ . В этом случае схема SM-SUB аналогично схеме рис.3 будет выполнять операцию суммирования  $S = A + B$ . При подаче на вход DD2 единицы ( $K = 1$ ) схема DD2 будет осуществлять инверсию сигнала  $A$ . В этом случае схема SM-SUB аналогично схеме рис.9 будет выполнять операцию вычитания чисел  $R = A - B$ .

Таким образом, вид выполняемой операции в рассмотренной схеме SM-SUB определяется значением управляющего сигнала  $K$ , что позволяет получить на выходе сигнал суммы  $S$  или разности  $R$  двух двоичных чисел.

## Порядок выполнения лабораторной работы

1. Запустите программу Multisim (Electronics Workbench) (или любой аналог этой программы) и нарисуйте схему простейшего двоичного одноразрядного цифрового устройства, изображенного на рисунке (согласно своему варианту). Убедитесь в правильной работе схемы, сделайте скриншот схемы и составьте соответствующую таблицу истинности.
2. Разработайте и нарисуйте в программе Multisim схему двоичного многоразрядного сумматора с использованием базовых логических элементов согласно своему варианту.
3. Рассмотрите работу схемы при сложении чисел своего варианта и сделайте скриншот схемы.  
**Пример:**  $5 + 2 = 7$ . После перехода из десятичной системы счисления в двоичную:  $5_{10} = 101_2$ ;  $2_{10} = 010_2$ ;  $7_{10} = 111_2$ . То есть после сложения на выходе сумматора должен быть получен двоичный код 111.
4. Поочередно подавая все возможные комбинации входных сигналов с помощью соответствующих ключей, убедитесь в правильной работе сумматора. Составьте соответствующую таблицу истинности.
5. Разработайте и начертите в программе Multisim схему двоичного многоразрядного параллельного сумматора с последовательным или параллельным переносом (согласно своему варианту) с использованием одноразрядных сумматоров (Full-Adder). Нарисуйте временные диаграммы его работы и сделайте скриншот схемы (с примером сложения чисел своего варианта).
6. Сделайте выводы по проделанной работе.

## Контрольные вопросы

1. Чем отличается полусумматор от полного сумматора?
2. Какие преимущества и недостатки имеют последовательные и параллельные сумматоры?
3. Как можно построить схему полного одноразрядного сумматора на базе схем полусумматоров?
4. Какие классификации сумматоров вам известны?
5. Как осуществляется сложение и вычитание многоразрядных чисел **в сумматоре**?
6. Чем отличаются схемы одноразрядных сумматора и вычитателя? Напишите и сравните их таблицы истинности.
7. Нарисуйте схему и объясните принцип работы последовательного сумматора.
8. Нарисуйте схему и объясните принцип работы 3-разрядного параллельного сумматора с последовательным переносом.
9. Нарисуйте схему и объясните принцип работы 2-разрядного параллельного сумматора с параллельным переносом.
10. Нарисуйте схему и объясните принцип работы 2-разрядного вычитающего устройства.
11. Опишите принцип работы одноразрядного сумматора-вычитателя, приведите его схему и напишите таблицу истинности.

## Варианты заданий к лабораторной работе СУММИРУЮЩИЕ И ВЫЧИТАЮЩИЕ УСТРОЙСТВА

Вариант	1	2	3	4	5	6	7	8	9	10
1. Рис. №	1.6	3	7.6	9	10	1.6	3	7.6	9	10
2. n=	3	4	3	4	3	4	3	4	3	4
3.Пример:	4+3	9+5	5+6	7+10	2+7	10+6	6+4	5+11	5+5	12+8
5. n=	4	3	4	3	2	3	4	3	4	3
5.Перенос	парал.	посл.	парал.	посл.	парал.	посл.	парал.	посл.	парал.	посл.
Цвет ин-дикаторов	красный	синий	зеленый	желтый	белый	желтый	зеленый	синий	белый	красный

Вариант	11	12	13	14	15	16	17	18	19	20
1. Рис. №	1.6	3	7.6	9	10	1.6	3	7.6	9	10
2. n=	4	3	4	3	4	3	4	3	4	3
3.Пример:	3+9	3+5	6+12	5+4	12+7	2+6	6+13	5+6	14+3	7+1
5. n=	3	4	2	4	3	4	3	4	3	4
5.Перенос	парал.	посл.	парал.	посл.	парал.	посл.	парал.	посл.	парал.	посл.
Цвет ин-дикаторов	синий	зеленый	красный	белый	желтый	зеленый	синий	красный	синий	белый

Вариант	21	22	23	24	25	26	27	28	29	30
1. Рис. №	1.6	3	7.6	9	10	1.6	3	7.6	9	10
2. n=	3	4	3	4	3	4	3	4	3	4
3.Пример:	6+6	9+9	4+4	10+10	3+3	9+12	2+4	15+3	2+2	14+7
5. n=	5	4	5	3	5	4	5	3	5	2
5.Перенос	посл.	парал.	посл.	парал.	посл.	парал.	посл.	парал.	посл.	парал.
Цвет ин-дикаторов	красный	зеленый	синий	желтый	белый	желтый	красный	синий	белый	зеленый