

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Проектирование сложных цифровых устройств не обходится без применения запоминающих устройств (ЗУ), которые могут сохранять цифровую информацию.

Для кратковременного хранения используют регистры, состоящие из множества триггерных ячеек. Если необходимо длительное время хранить большие объемы информации, то необходимо использовать специально предназначенные для этого устройства, в частности микросхемы ЗУ. Это позволяет существенно упростить аппаратную часть электронных устройств.

Для целей хранения цифровой информации сейчас разработано большое число технических решений, причем эта часть электроники бурно развивается по пути увеличения объемов информации, уменьшения габаритов устройств, повышения надежности долговременного хранения (CD-диски, брелки и т.п.).

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Устройства, предназначенные для записи, хранения и выдачи данных в виде цифрового кода, называются *цифровыми запоминающими устройствами* (ЗУ). Классификация ЗУ может быть произведена по ряду признаков.

В зависимости от назначения различают:

- *оперативные запоминающие устройства* (ОЗУ), предназначенные для записи, хранения и считывания данных в процессе их обработки (в зарубежной литературе они обозначаются как RAM – Random Access Memory);
- *постоянные запоминающие устройства* (ПЗУ), предназначенные для хранения и считывания неизменных данных, предварительно заносимых на этапе их программирования (в зарубежной литературе ПЗУ обозначаются как ROM – Read Only Memory).

В зависимости от способа обращения к массиву данных различают:

- *адресные ЗУ*, в которых обращение к ячейкам памяти происходит по их физическим адресам, задаваемым в виде кода адреса;
- *ассоциативные ЗУ*, в которых поиск ячеек памяти с последующей выдачей данных производится по их содержанию.

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Основными узлами ЗУ являются дешифратор адреса; матрица памяти, состоящая из отдельных запоминающих ячеек; выходная часть, обеспечивающая внешнее сопряжение и схема управления режимами работы (запись, хранение или считывание). Основными параметрами и характеристиками ЗУ являются:

- структурная организация памяти, определяющая её информационную емкость $N = 2^n \times m$, где n – разрядность адреса, а m - разрядность хранимых данных или длина слова;
- уровни входных и выходных сигналов, которые, как правило, приводятся к стандартным уровням ТТЛ, КМОП или ЭСЛ;
- напряжение питания и токи потребления в различных режимах работы;
- быстродействие, определяемое для различных режимов работы.

ТИПЫ МИКРОСХЕМ ОЗУ

В микросхемы оперативных запоминающих устройств (ОЗУ) информация может быть записана неограниченное число раз, однако она исчезает с отключением питания.

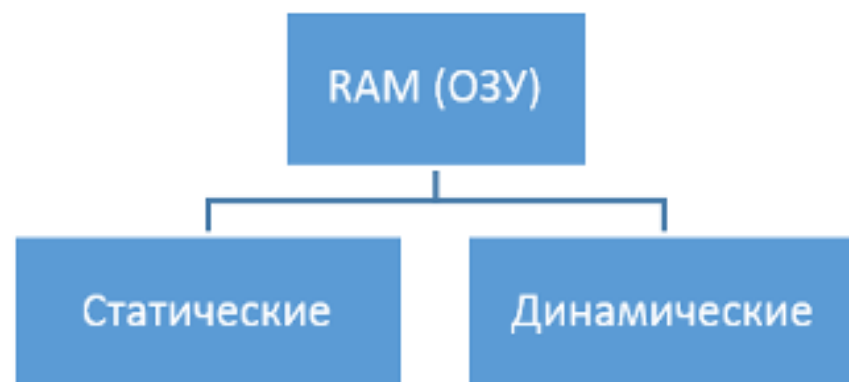


Рис. Классификация ОЗУ по способу хранения данных

Существует два типа микросхем ОЗУ (см. рис.):

- 1. Статические ОЗУ (SRAM – Static RAM),** в которых основой запоминающей ячейки служит триггер на биполярных или полевых транзисторах.
- 2. Динамические ОЗУ (DRAM – Dynamic RAM),** в них основой запоминающих ячеек являются конденсаторы, в качестве конденсатора используются элементы МОП структур. Как известно, конденсатор имеет свойство терять свой заряд, поэтому динамические ОЗУ требуют постоянной регенерации записанной информации, с периодом в несколько десятков мс.

Динамические ОЗУ характеризуются наибольшей информационной емкостью, поэтому именно они используются как основная память ЭВМ. Достоинством статических ОЗУ является более высокое быстродействие, а типичной областью использования – схемы кэш-памяти.

ТИПЫ МИКРОСХЕМ ОЗУ



Статическая ОЗУ

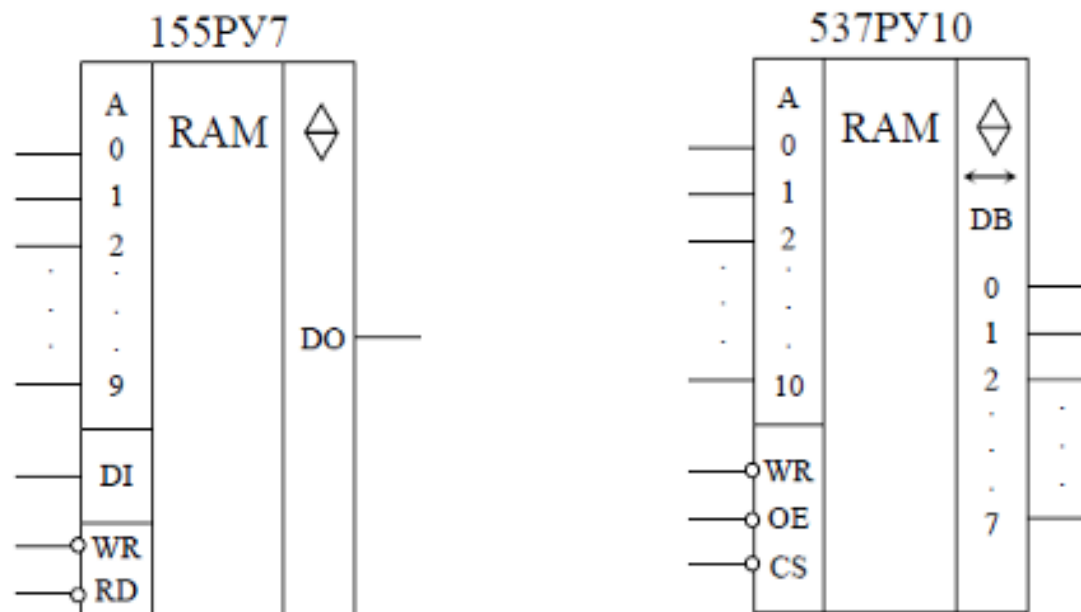


Динамическая ОЗУ

СТАТИЧЕСКИЕ ОЗУ (SRAM)

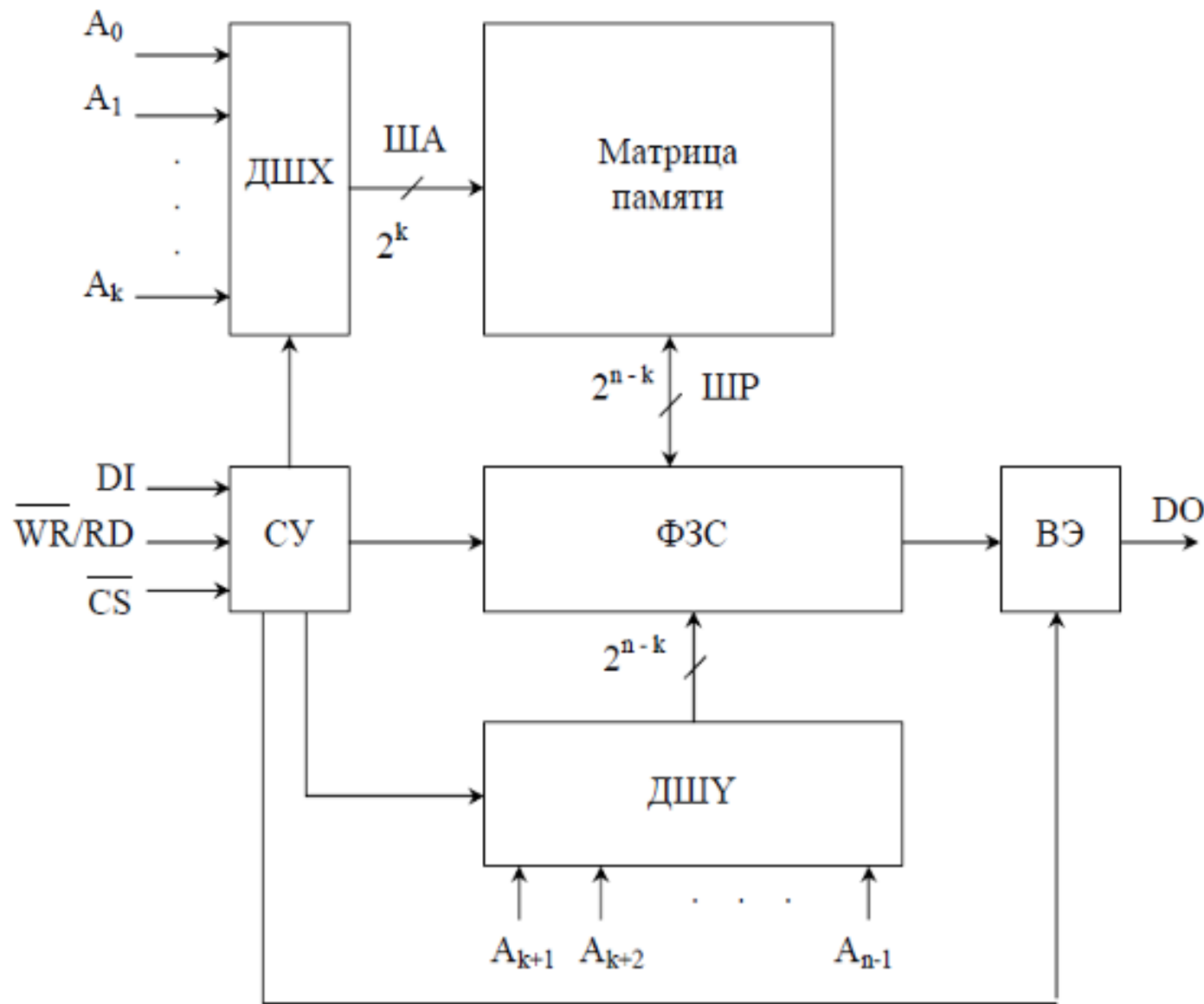
В статических ОЗУ (SRAM) записанные данные хранятся до тех пор, пока не запишут новые или не отключат питание. Статическую память делят на синхронную и асинхронную. Асинхронная память в персональных компьютерах уже давно не используется, она была вытеснена синхронной. SRAM – это очень модифицируемая технология, существует множество ее типов, которые отличаются электрическими и архитектурными особенностями.

Применение статической памяти не ограничивается кэш-памятью в персональных компьютерах. Серверы, маршрутизаторы, глобальные сети, RAID-массивы, коммутаторы – вот устройства, где необходима высокоскоростная SRAM.



ИС статических ОЗУ

СТАТИЧЕСКИЕ ОЗУ



Общая структура статического ОЗУ с организацией $2^n \times 1$

Структурная схема статического ОЗУ приведена на рис. Основой статического ОЗУ является накопитель или матрица памяти, состоящая из отдельных запоминающих (бистабильных) ячеек. Обычно в качестве этих ячеек используются различного рода триггеры.

С помощью адресации всех ячеек накопителя производится выбор конкретной ячейки накопителя, в которую будет записана или из которой будет считана информация. По сигналу на входе схемы управления (СУ) можно переключать ячейку памяти в режим записи или считывания.

СТАТИЧЕСКИЕ ОЗУ

Сигнал записи WR ($WR/RD=1$, $CS=0$) позволяет записать логические уровни, присутствующие на информационных входах, во внутреннюю ячейку ОЗУ (RAM). **Сигнал чтения RD** ($WR/RD=0$, $CS=0$) позволяет выдать содержимое внутренней ячейки памяти на информационные выходы микросхемы. В приведенной на рисунке схеме невозможно одновременно производить операцию записи и чтения, но обычно это и не нужно.

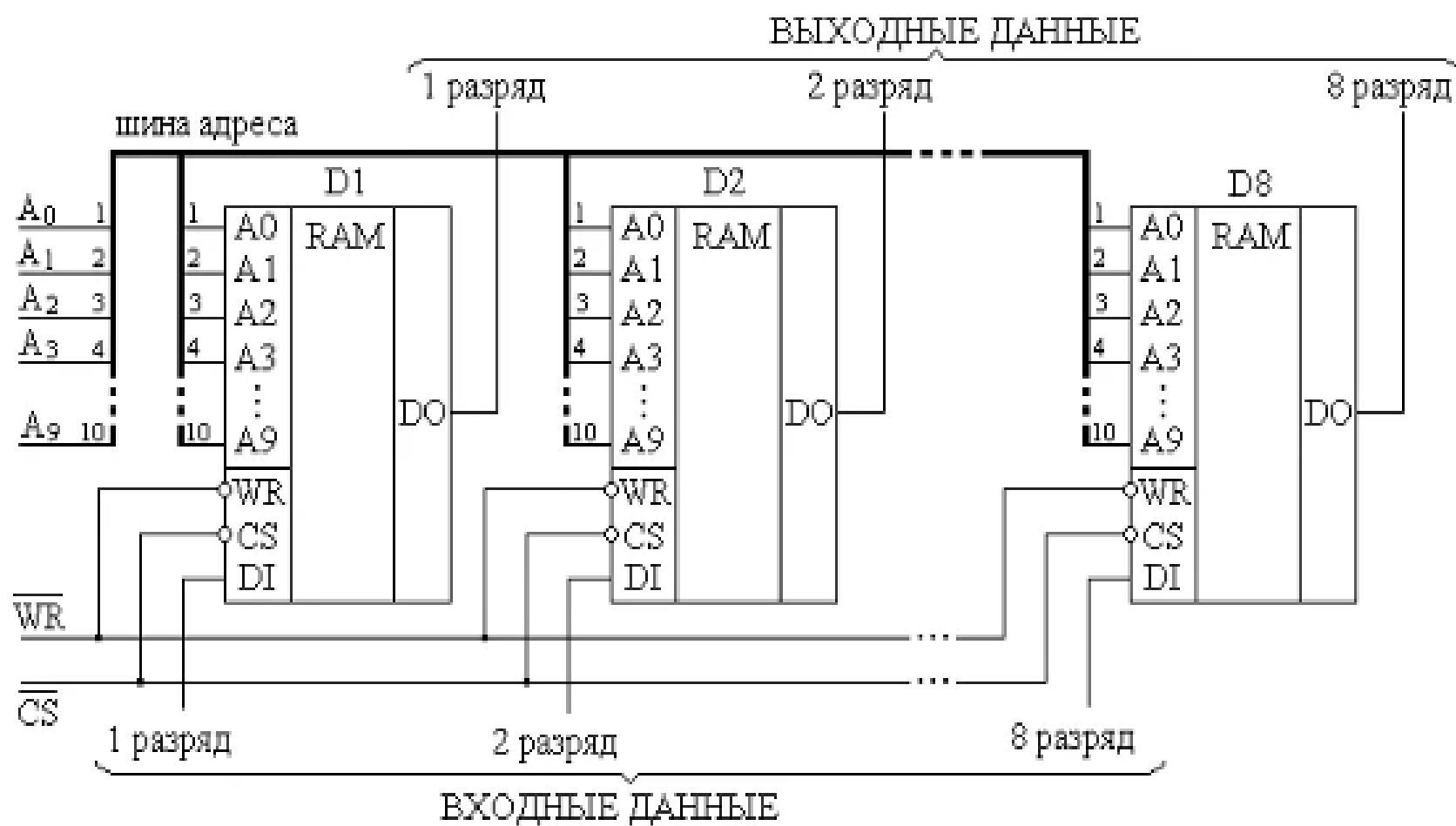
На приведенной схеме используются следующие сокращения:

- ДШХ, ДШУ – адресные дешифраторы строк и столбцов;
- ФЗС – формирователь сигналов записи/считывания;
- СУ – схема управления;
- DI, DO – шины записи и считывания соответственно.

Конкретная ячейка ОЗУ выбирается при помощи двоичного кода – адреса ячейки. Объем памяти ОЗУ (RAM) зависит от количества ячеек, содержащихся в ней или, что то же самое, от количества адресных проводов. Количество ячеек в ОЗУ можно определить по количеству адресных проводов, возводя 2 в степень, равную количеству адресных выводов в микросхеме.

СТАТИЧЕСКИЕ ОЗУ

Вывод выбора кристалла CS микросхем ОЗУ позволяет объединять несколько микросхем для увеличения объема памяти ОЗУ. Такая схема приведена на рисунке ниже.



СТАТИЧЕСКИЕ ОЗУ

Статические ОЗУ требуют для своего построения большой площади кристалла, поэтому их ёмкость относительно невелика. Они применяются для построения микроконтроллерных схем из-за простоты построения принципиальной схемы и возможности работать на сколь угодно низких частотах, вплоть до постоянного тока. Кроме того статические ОЗУ применяются для построения КЭШ-памяти в универсальных компьютерах из-за высокого быстродействия статического ОЗУ.

Ячейка статической памяти состоит только из транзисторов и фактически представляет собой RS-триггер, то есть такое устройство, которое бесконечно долго поддерживает свое состояние при условии наличия питания. Состояний может быть два – высокий или низкий уровень напряжения на выходе.

Вход R является сигналом сброса (высокий уровень этого сигнала переводит состояние ячейки в ноль), вход S – сигнал установки (переводит состояние триггера в 1). Если на входах R и S низкий уровень напряжения – триггер сохраняет свое текущее состояние.

Статические оперативные запоминающие устройства

VT_1, VT_6, VT_3 и VT_5 (МОП-транзисторы с индуцированным каналом n -типа) работают в ключевом режиме.

VT_2, VT_4 (МОП-транзисторы со встроенным каналом n -типа) выполняют роль резисторов в триггерной схеме, так как обладают начальной проводимостью.

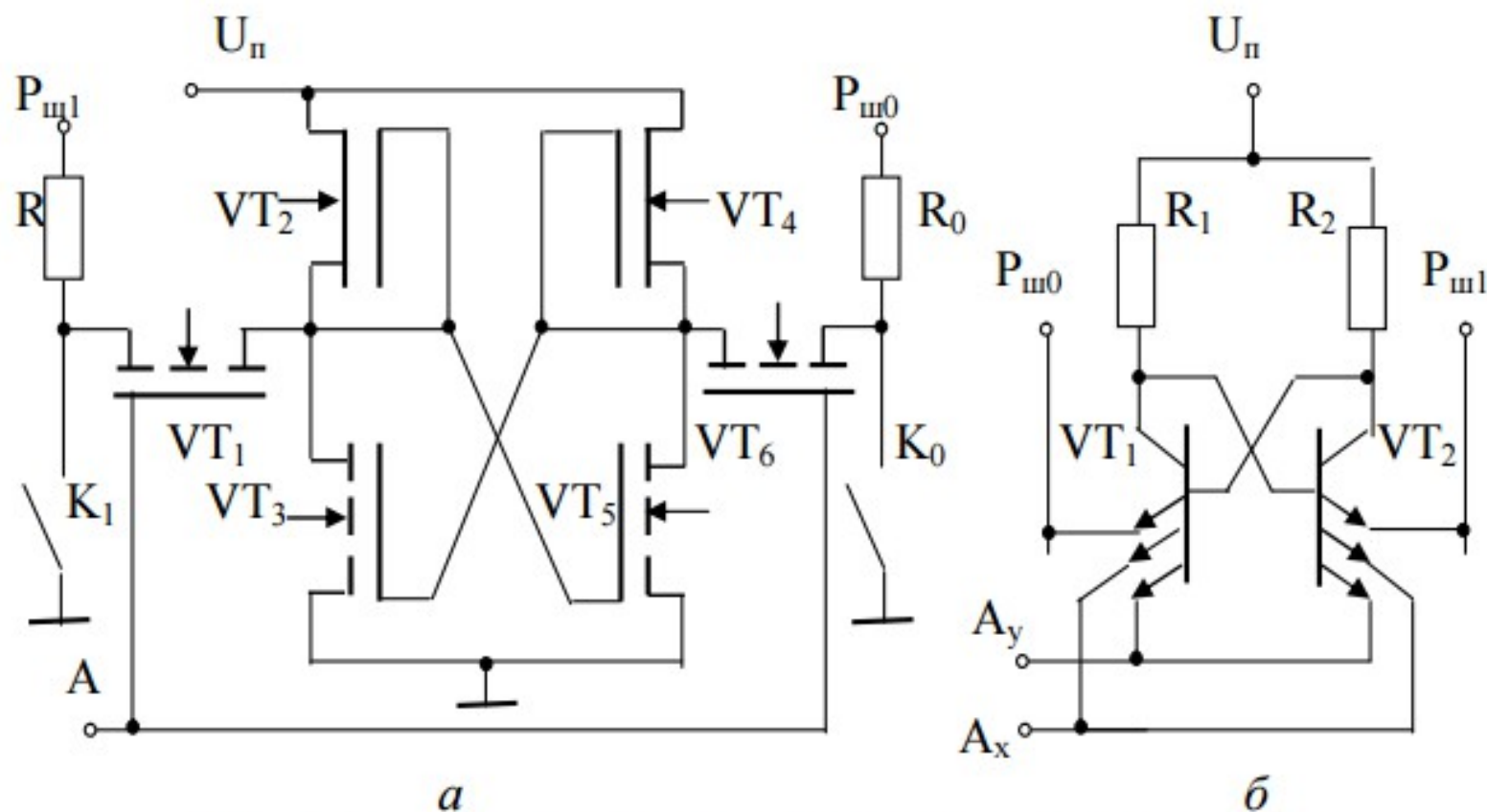


Рис. Структурные схемы триггерных ячеек памяти на МОП-транзисторах (а) и на биполярных транзисторах (б)

Работа ячейки поясняется таблицей истинности

Режим	Потенциал шины Pш1	Потенциал шины Pш0	A	$VT_1,$ VT_6	VT_3	VT_5
Хранение нуля	0	0	0	закрыты	закрыт	открыт
Хранение единицы	0	0	0	закрыты	открыт	закрыт
(Пример) Считыв. «1»	Импульс заряда 	Импульс заряда 	1	VT_1 открыт	открыт	закрыт
Запись «0» (Пример)	1 (ключ K_1 разомкнут)	0 (ключ K_0 замкнут)	1	открыты оба	закрыт	открыт

Статические оперативные запоминающие устройства

В режиме хранения: на адресной шине – «нуль» ($A=0$), VT_1 и VT_6 закрыты, ячейка отсоединена от $P_{ш1}$ и $P_{ш0}$. При этом на разрядных шинах потенциал равен 0, так как ключи K_1 и K_0 замкнуты. Пусть в режиме «Хранение единицы» VT_3 открыт, а VT_5 – закрыт, так как потенциал затвора VT_5 равен потенциалу стока VT_3 (это подтверждение принятого положения). В режиме считывания сначала импульсом заряжаются до уровня «1» разрядные шины $P_{ш1}$, $P_{ш0}$, затем подается потенциал «1» на адресную шину ($A=1$), транзистор VT_1 открывается и подключает $P_{ш1}$ к точке управления триггером (к стоку транзистора VT_3) при этом открытый транзистор VT_3 подключается к разрядной шине $P_{ш1}$. Заряд, присутствовавший на $P_{ш1}$, создает импульс тока в цепи разрядная шина – общая шина через открытые транзисторы VT_1 , VT_3 . Протекание импульса тока является признаком считывания «1» для усилителя считывания, подключенного к разрядным шинам (на схеме не показан).

Статические оперативные запоминающие устройства

Режим записи: например, при записи «0» на $P_{ш0}$ устанавливается «0», на $P_{ш1}$ – «1», т.е. ключ $K1$ размыкается, ключ $K0$ – замыкается. Затем подается «1» на шину A , VT_1 и VT_6 открываются и подключают соответствующие электроды (сток VT_6 и затвор VT_3) к потенциалу «0». VT_3 закрывается, напряжение на его стоке увеличивается – открывается VT_5 , при этом закрывается и VT_1 (на его электродах напряжения сравниваются). Ячейка приняла положение записанного «0». Смена потенциала «1» адресной шины на нулевой потенциал (установка «0») переводит ячейку в режим «Хранение нуля», так как транзисторы VT_1 , VT_6 отключают ячейку от $P_{ш0}$ и $P_{ш1}$.

Запоминающий (статический) элемент ОЗУ на биполярных транзисторах (рис. б) также представляет собой триггерную ячейку, собранную на двух многоэмиттерных транзисторах с перекрестными базовыми связями. Различные сочетания управляющих сигналов, подаваемых на шины A_x , A_y , $P_{ш1}$, $P_{ш0}$, позволяют устанавливать режимы записи, хранения и считывания.

Оперативные запоминающие устройства

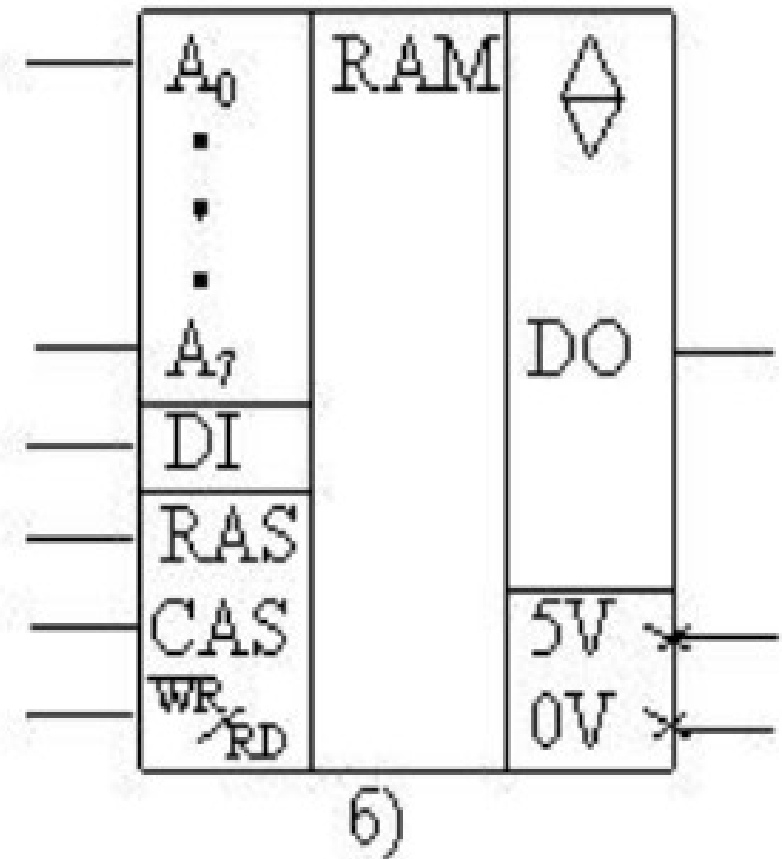
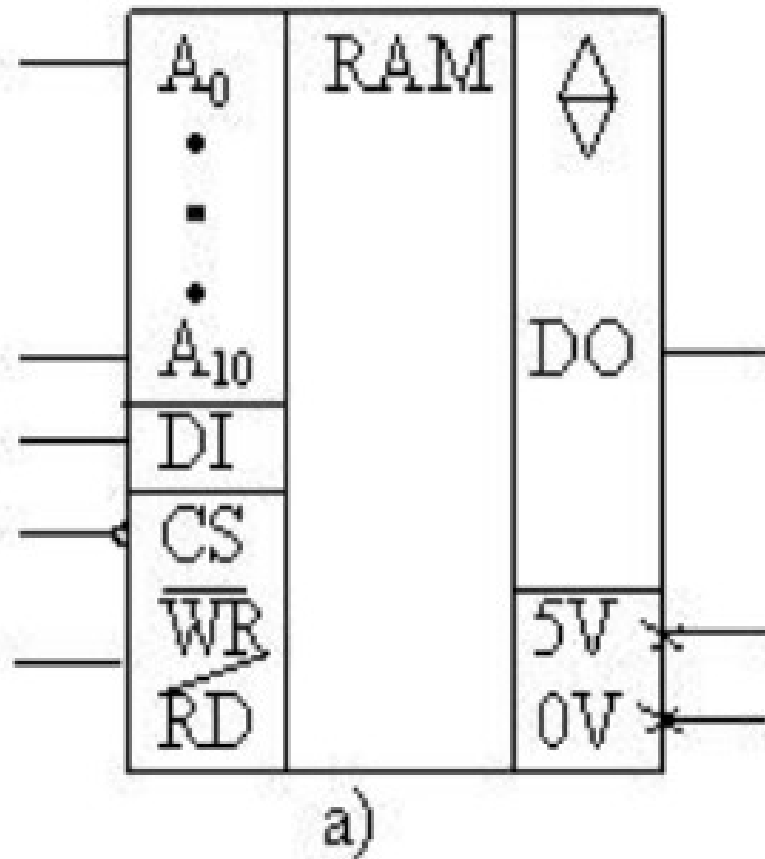


Рис. Условные обозначения статического (а)
и динамического (б) ОЗУ

ДИНАМИЧЕСКИЕ ОЗУ

Преимущество статической памяти – это более высокая скорость и отсутствие необходимости производить процедуру регенерации, но при этом статическая память дороже, имеет большее энергопотребление и большую занимаемую площадь. Поэтому статическая память применяется там, где необходимо максимальное быстродействие, а **динамическая память (DRAM)** используется там, где требуются модули памяти большого объема.

Память типа DRAM гораздо шире распространена в вычислительной технике благодаря двум своим достоинствам перед SRAM – дешевизне и плотности хранения данных. Эти две характеристики динамической памяти компенсируют в некоторой степени ее недостатки – невысокое быстродействие и необходимость в постоянной регенерации данных.

Ячейка динамической памяти состоит из транзисторов и конденсатора. Если конденсатор заряжен – то в ячейке хранится единица, если разряжен – то ноль. Ячейки расположены в матрицах и имеют свой адрес, состоящий из номера строки и номера столбца. Заряд конденсатора сохраняется весьма ограниченное время – он разряжается из-за наличия токов утечки, поэтому периодически необходимо проводить процедуру регенерации памяти, чтобы не потерять ее содержимое.

Динамические ОЗУ

В динамических ОЗУ используют ячейки памяти, в которых уровень «1» или «0» отождествляется с наличием или отсутствием заряда конденсатора, образованного структурой транзисторов при обратных смещениях. Так как заряд не может долго храниться, следует периодически производить регенерацию зарядов, что осуществляется специально организованным управлением. По этой причине для таких ОЗУ нужно иметь режимы: хранение, считывание, запись и регенерация. Основное достоинство динамических ОЗУ – более высокая информационная емкость (почти в четыре раза). Недостаток – усложнение управления из-за необходимости регенерации.

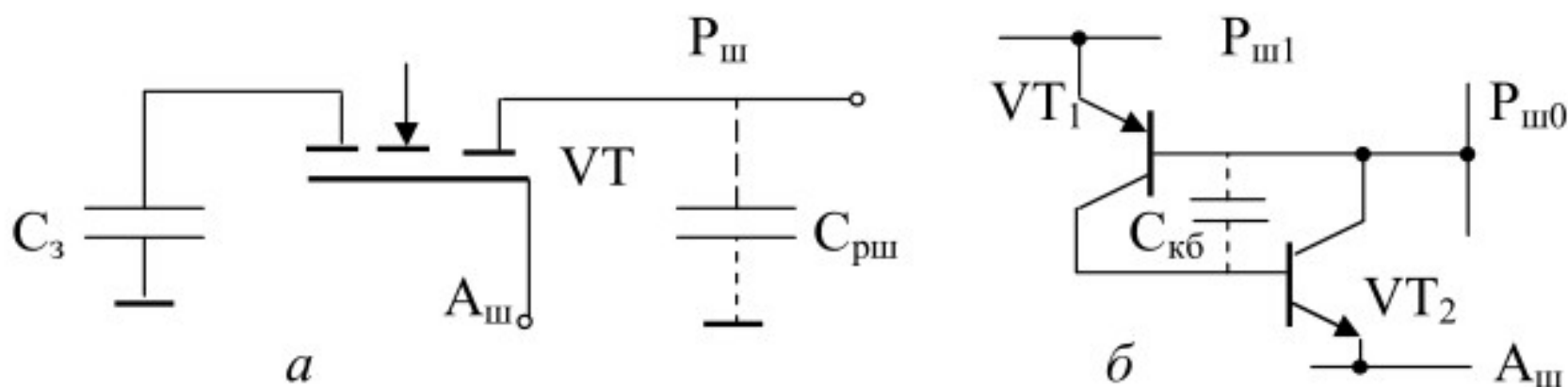


Рис. Простейшие ячейки памяти динамических ОЗУ:
а – на МДП- транзисторе; *б* – на биполярном составном транзисторе

Динамические ОЗУ

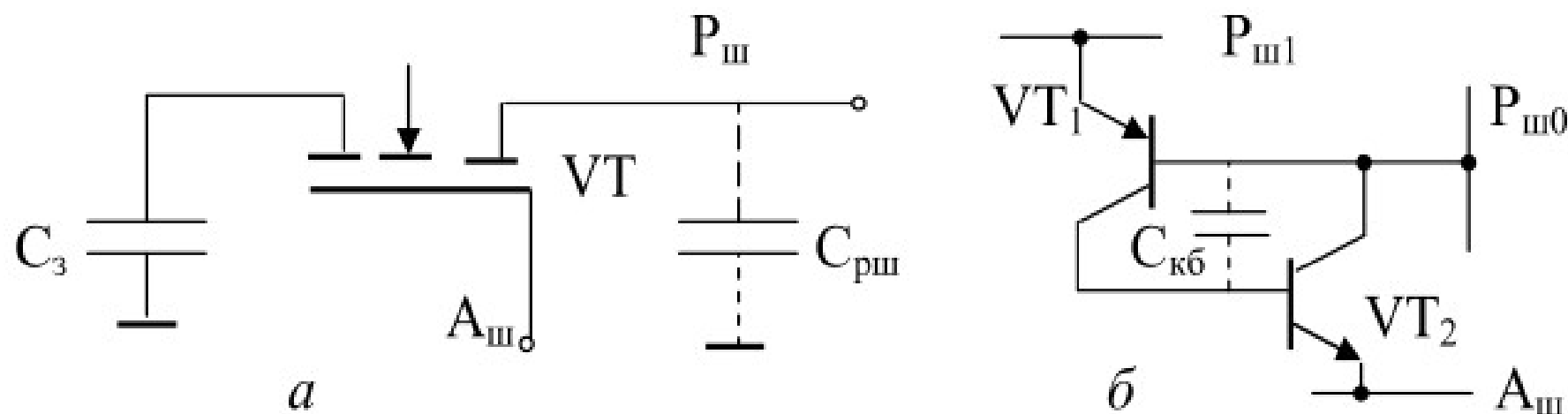


Рис. Простейшие ячейки памяти динамических ОЗУ:

a – на МДП- транзисторе; *б* – на биполярном составном транзисторе

Простейший запоминающий элемент динамического ОЗУ может быть построен на одном МОП-транзисторе (рис. *a*). Используется заряд-разряд конденсатора ёмкостью $\leq 0,1\text{pF}$. Величина приращения напряжения оказывается очень малой: $0,2 - 0,25\text{ В}$. Поэтому это напряжение должно быть хорошо усилено – это влечет усложнение усилителей считывания. При считывании происходит разрушение информации, поэтому ее надо восстанавливать.

Динамические ОЗУ

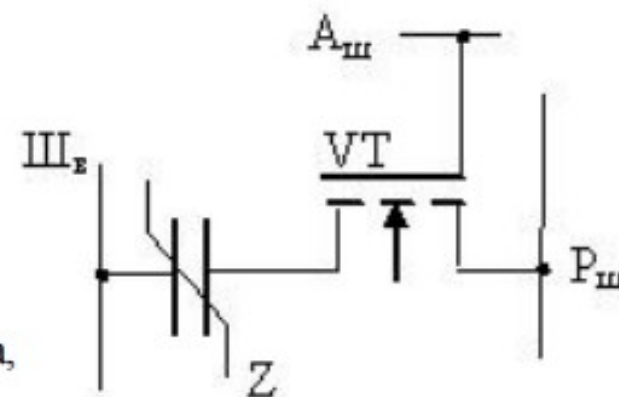
В схеме рис. а запоминание «1» или «0» – это наличие или отсутствие заряда на конденсаторе C_3 . В режиме записи сигнал, поданный на адресную шину $A_{ш}$, разрешает доступ к C_3 (транзистор открыт), заряд с разрядной шины $P_{ш}$ переходит на C_3 (большой заряд считается «1», меньший – «0»). В режиме считывания заряд с C_3 переходит на емкость $C_{рш}$ (которая является паразитной ёмкостью разрядной шины), причем $C_{рш} \gg C_3$ и равна нескольким пФ. Такое построение позволяет получить ОЗУ, обладающее большой информационной емкостью (несколько Мбит), но невысокой надежностью.

Для построения динамических ОЗУ на биполярных транзисторах используется специальная технология, при которой на кристалле формируется запоминающий элемент в виде емкости коллектор – база сдвоенного транзистора (рис. б). Величина ёмкости $C_{кб}$ – около 1 пФ. В период хранения «конденсатор» хранит поданный на него заряд, а в режиме считывания – отдаёт его на разрядную шину.

Оперативные запоминающие устройства

Основной недостаток ОЗУ – разрушение информации при снятии напряжения питания. Очевидный (и самый неэффективный) способ преодоления этого недостатка – сочетание ОЗУ и встроенной литиевой батарейки в одном корпусе микросхемы. Оригинальнее выглядит использование «запоминающих конденсаторов», которые способны сохранять электрическую поляризацию после снятия приложенного электрического напряжения (сегнето – электрический эффект). При смене направления вектора напряженности поля в таких конденсаторах меняется направление электрической поляризации кристаллического вещества. Конденсатор при этом имеет два устойчивых состояния и два различных пороговых напряжения перехода из одного состояния в другое и наоборот. Такими свойствами обладают, например, пленки цирконата – титана – свинца (PZT-керамика, $\epsilon = 1200$). Недостаток – ограниченное число циклов перезарядки, (приблизительно 10^{10} циклов). Ячейку памяти с таким конденсатором можно представить так, как показано на рис.

Рис. Структурная схема ячейки памяти на основе «запоминающего» конденсатора:
 $Ш_в$ – шина импульсного возбуждения, $A_{ш}$ – адресная шина,



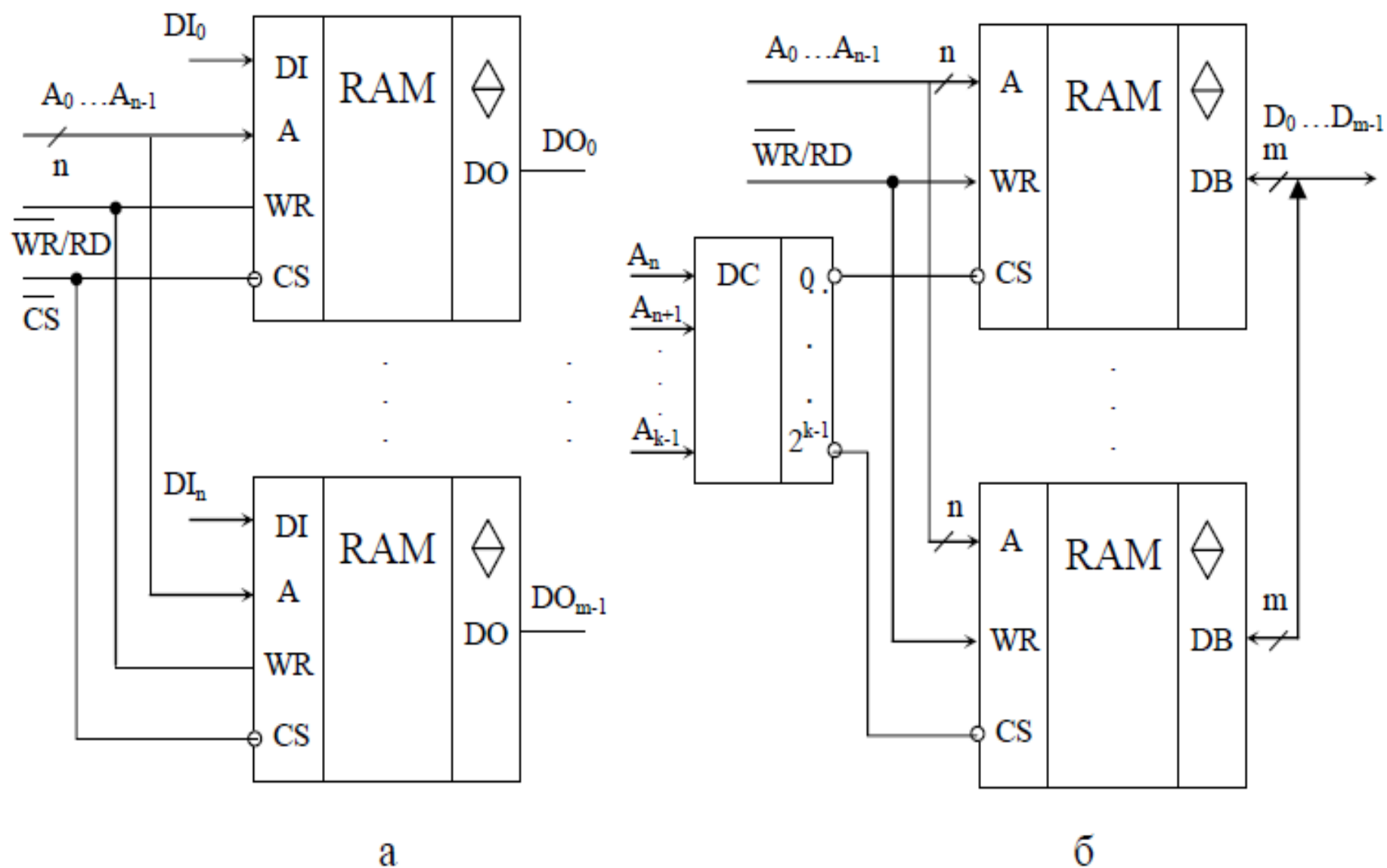
Можно так построить схемы управления, что при снятии питания конденсатор будет поляризоваться таким образом, чтобы его состояние соответствовало состоянию запоминающей ячейки до отключения питания. Время поляризации примерно 10 – 20 н.с., что значительно меньше времени разрушения информации в триггере.

Более перспективными являются ЗУ, сочетающие в себе свойства быстродействия, компактности, технологичности, простоты управления при обеспечении энергонезависимости, т.е. неразрушения информации в условиях исчезновения напряжения питания. К таким ЗУ относятся, в частности, ОЗУ, называемые в международной терминологии FRAM, MRAM, PFRAM.

FRAM – это ЗУ ферроэлектрического типа, PFRAM – разновидность ЗУ ферроэлектрического типа, в которых используются полимерные ферроэлектрические материалы (тонкие плёнки), обладающие свойством образования диполей в своей структуре. Участки с ориентированными диполями служат запоминающими элементами и в зависимости от направления поляризации хранят биты информации. Следует заметить, что ЗУ типа PFRAM для построения ОЗУ считаются менее перспективными вследствие их относительно небольшого быстродействия.

MRAM – это магниторезистивные ЗУ. В них запоминающим элементом является участок магнитного материала, способный сохранять приданное ему состояние намагниченности независимо от наличия или отсутствия питания схемы.

Оперативные запоминающие устройства



Способы наращивания информационной емкости ОЗУ

Постоянные запоминающие устройства

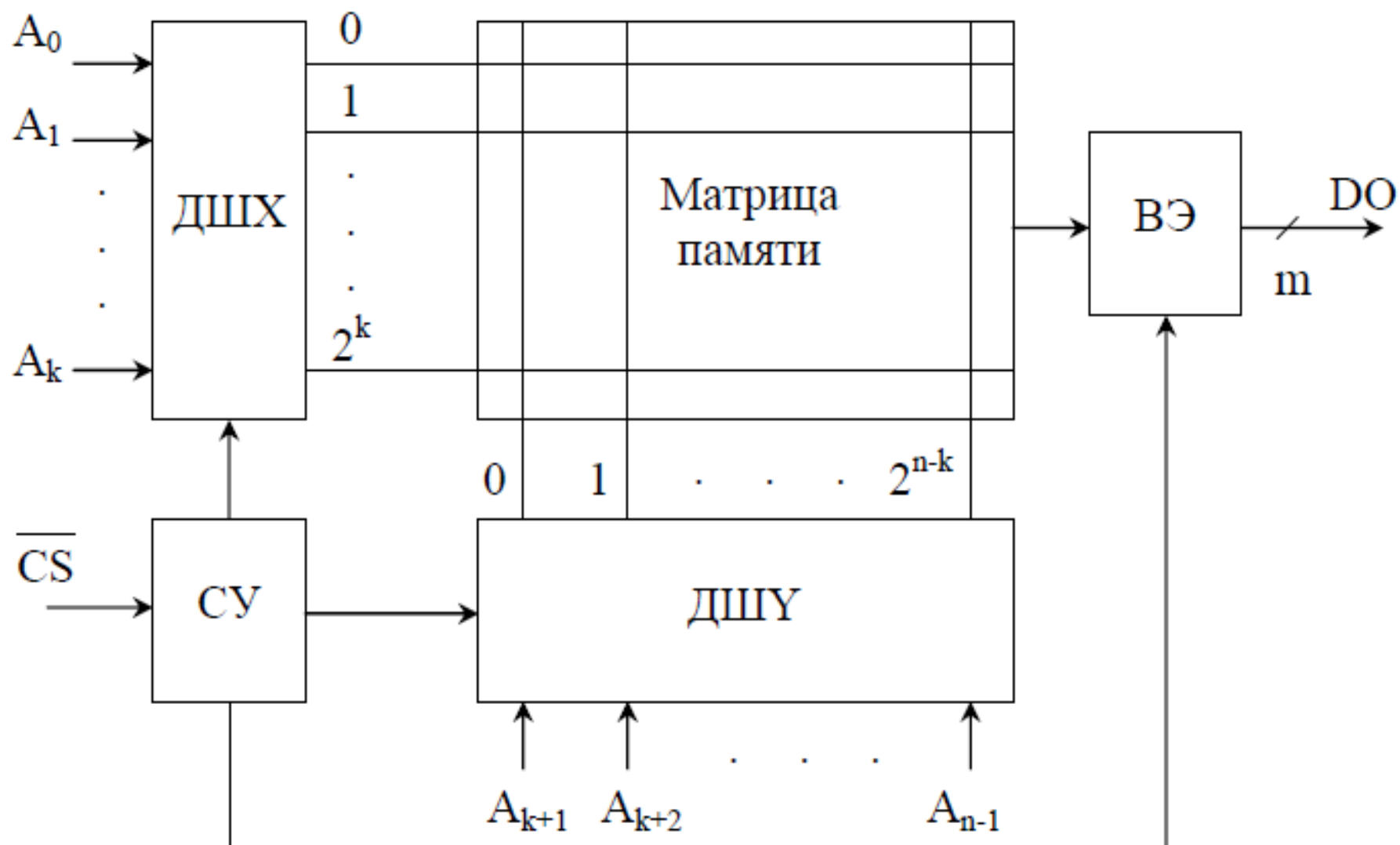
Постоянные запоминающие устройства (ПЗУ) предназначены для хранения информации, остающейся неизменной в течение длительного времени или всего времени эксплуатации устройства.

В зависимости от назначения различают следующие типы ИС ПЗУ:

- *постоянные ЗУ* (ПЗУ или ROM) с пассивной матрицей памяти, в которую данные заносятся однократно при их изготовлении с помощью специального фотошаблона. Такие ПЗУ называются *масочными* и в режиме хранения не потребляют энергии;
- *программируемые ПЗУ* (ППЗУ или PROM – Programmable ROM) с возможностью однократного программирования содержимого матрицы памяти электрическим способом;
- *репрограммируемые ПЗУ* (РПЗУ или EPROM – Erasable PROM) с возможностью многократного программирования электрическим способом и стиранием данных электрическим способом или с помощью ультрафиолетового облучения.

В отличие от ОЗУ все виды ПЗУ, включая предварительно запрограммированные ППЗУ и РПЗУ, работают только в режимах хранения и считывания. Структура ПЗУ проще структуры ОЗУ.

Постоянные запоминающие устройства



Общая структура ПЗУ

Постоянные запоминающие устройства

В масочных ПЗУ используется простой принцип программирования: заготовка микросхемы (кристалл) формируется со всеми соединениями между элементами, а затем ненужные соединения ликвидируются. Элементом связи могут быть диоды, транзисторы, металлические перемычки и т.п. Фрагмент структуры диодного ROM(M) показан на рис.

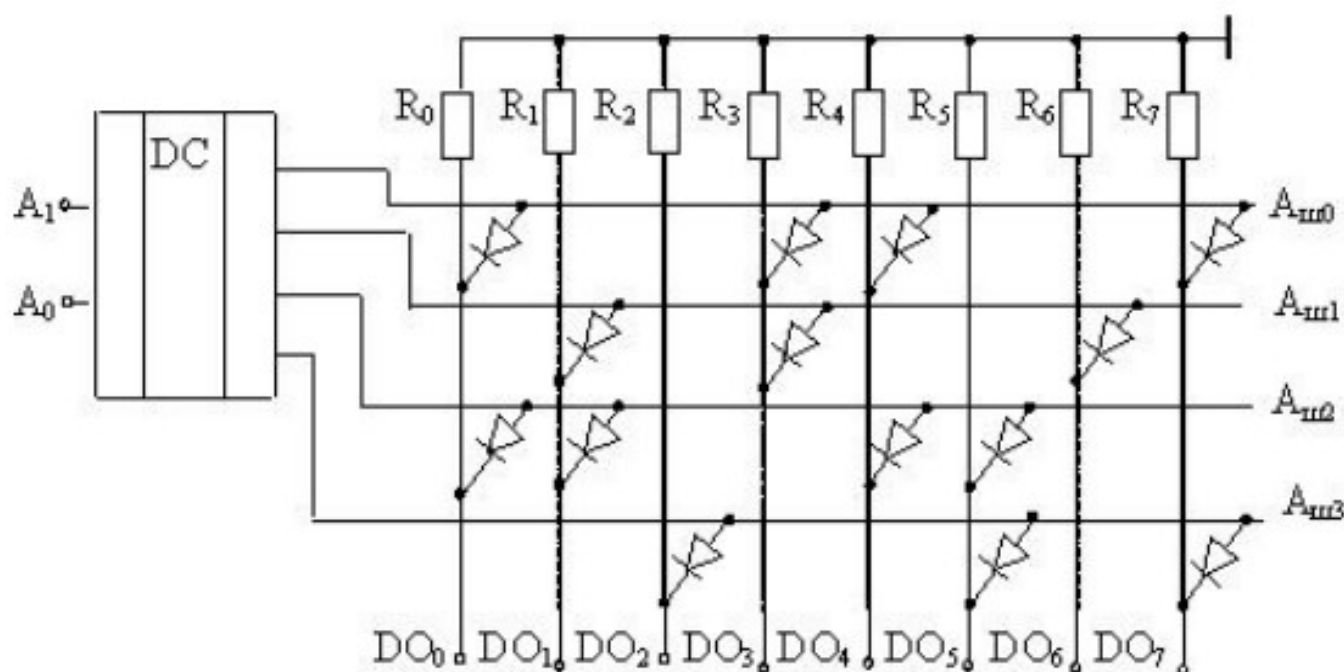


Рис. Структурная схема масочного диодного ПЗУ

Принцип представления информации в таких ЗУ состоит в том, что информация представляется в виде наличия или отсутствия соединения между шинами адреса и шинами данных.

Таблица истинности ПЗУ

Вход		Выход								Сигнал шины А
A_1	A_0	DO_0	DO_1	DO_2	DO_3	DO_4	DO_5	DO_6	DO_7	
0	0	1	0	0	1	1	0	0	1	A_{III0}
0	1	0	1	0	1	0	0	1	0	A_{III1}
1	0	1	1	0	0	1	1	0	0	A_{III2}
1	1	0	0	1	0	0	1	0	1	A_{III3}

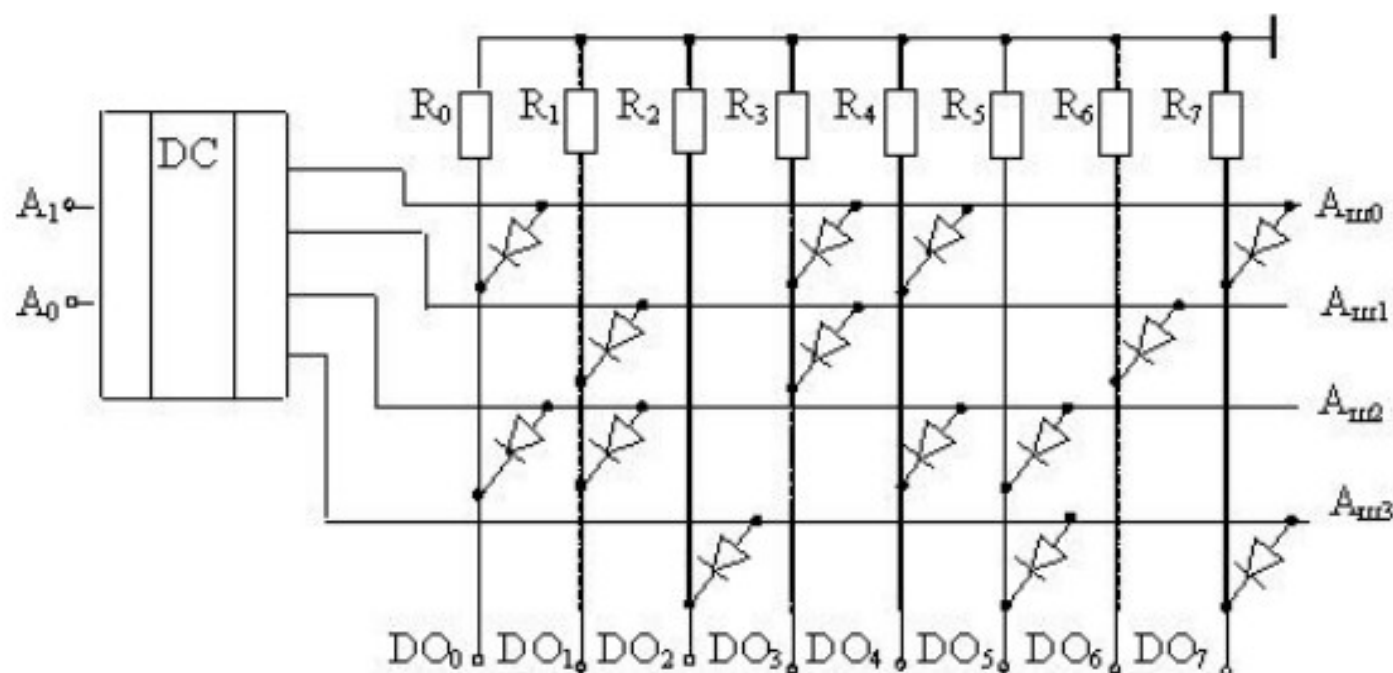


Рис. Структурная схема масочного диодного ПЗУ

Масочные ПЗУ применяются для хранения информации, имеющей широкий круг потребителей. В частности, масочные ЗУ используют в качестве знакогенераторов кодов для букв различных алфавитов, как таблицы типовых функций и т.п.

Постоянные запоминающие устройства

Другим видом однократно программируемого ЗУ являются ЗУ типа PROM. Микросхемы PROM программируются удалением или созданием специальных перемычек. Принцип программирования похож на таковой для масочных ЗУ. В структурах с плавкими перемычками при программировании лишние перемычки удаляются путем расплавления импульсом тока. Плавкие перемычки (металлические или поликристаллические) включаются в цепи диодов или транзисторов.

В исходном состоянии запоминающий элемент хранит логическую единицу. После разрушения перемычки запоминающий элемент будет хранить логический ноль.

Схемы с создаваемыми перемычками в качестве исходных имеют непроводящие соединители в виде двух встречно включенных диодов либо тонкого диэлектрического слоя. При программировании импульсом повышенного напряжения в первом случае пробивается один из диодов, а во втором – диэлектрический слой, после чего в месте пробоя возникает проводящая перемычка.

Постоянные запоминающие устройства

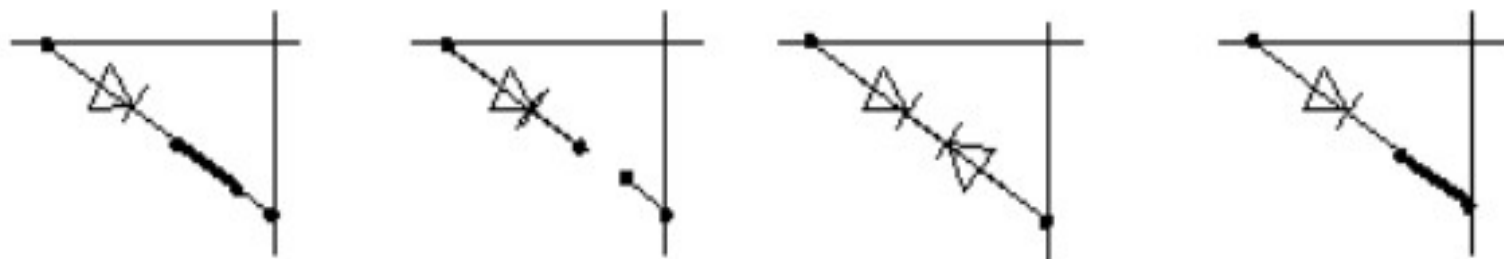


Рис. Состояние соединений до и после программирования в структурах с удаляемыми и создаваемыми перемычками

ПЗУ типа ROM(M) и PROM после программирования становятся для потребителя постоянными в буквальном смысле, так как изменить их содержание нельзя. Более широкие возможности предоставляют ПЗУ, содержимое которых может изменять сам пользователь с помощью специального оборудования (программаторов). Различают несколько типов таких ПЗУ: EPROM, EEPROM, FLASH, в которых содержимое может быть изменено путем стирания старой информации и записи новой.

Постоянные запоминающие устройства

В ЗУ типа EPROM стирание выполняется ультрафиолетовым облучением кристалла в специальных устройствах, поэтому на русском языке такие ПЗУ носят название РПЗУ-УФ. В ЗУ типа EEPROM стирание производится электрическим сигналом, поэтому русское название таких микросхем – РПЗУ-ЭС (репрограммируемое ПЗУ с электрическим стиранием), либо ЭСППЗУ (электрически стираемое программируемое ПЗУ). Запись в EPROM и EEPROM производится электрическим сигналом. Следует заметить, что микросхемы EEPROM позволяют осуществить их программирование, не изымая микросхему из устройства, в котором они используются.

Флэш-память (ЗУ типа FLASH) по основным принципам работы подобна рассмотренным выше ЗУ. Запоминающие элементы памяти FLASH подобны применяемым в EPROM и EEPROM, но ЗУ типа FLASH имеют структурные и технологические особенности, существенно улучшающие общие свойства репрограммируемых ЗУ.

Постоянные запоминающие устройства

В РПЗУ носителем информации (запоминающим элементом) является МОП-транзистор, поэтому используются два вида запоминающих элементов на:

- МОП-транзисторах с плавающим затвором (в РПЗУ-УФ);
- МНОП (МНДП)-транзисторах (в РПЗУ-ЭС).

За счет этого обеспечивается возможность неоднократной записи и считывания информации. РПЗУ способны к многократному (от 25 до 10000 раз) перепрограммированию без потери работоспособности.

Это достигается применением «управляемых перемычек», функции которых выполняют МНОП-транзисторы и транзисторы *n*-МОП с плавающим затвором с использованием механизма лавинной инжекции заряда (ЛИЗМОП).

Виды структур элементов памяти РПЗУ – структуры транзисторов типа МНОП (МНДП) и ЛИЗМОП представлены на рис.

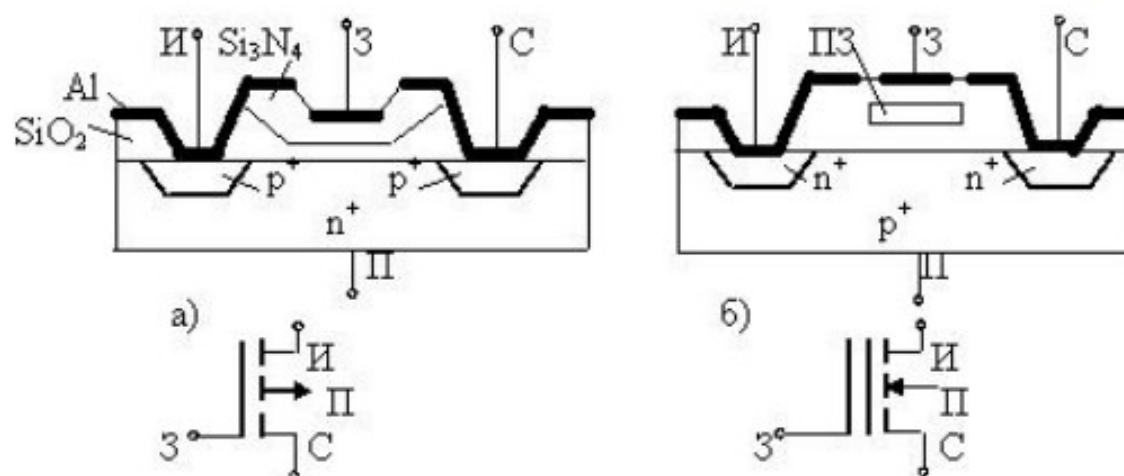


Рис. Структура и условные обозначения полевых транзисторов:

а – типа МНОП, б – с двумя затворами (плавающим и управляющим)

В рассматриваемых структурах процесс программирования – это занесение заряда под затвор. Для этого, например, в транзисторах типа p -МОП между затвором и подложкой дается импульс напряжения отрицательной полярности с амплитудой 30 – 40 В. При этом под действием сильного электрического поля электроны преодолевают тонкий слой SiO_2 и скапливаются у границы слоя Si_3N_4 . Накопленный заряд снижает пороговое напряжение открытия транзистора, снижая сопротивление канала между истоком и стоком. Наличие заряда под затвором соответствует состоянию логической «1». Логическому «0» соответствует состояние транзистора без заряда в диэлектрике под затвором. Для того, чтобы этого достигнуть подают на затвор импульс положительной полярности с амплитудой (30 – 40) В.

Режимы программирования и стирания можно осуществить с помощью напряжения одной полярности (отрицательной для p -МНОП, положительной для n -МНОП). В этом случае используется явление лавинной инжекции электронов под затвор, которая происходит, если (для p -МНОП) к истоку и стоку приложить импульс отрицательного напряжения (30 – 40) В, а затвор и подложку соединить с корпусом. В результате электрического пробоя переходов исток-подложка и сток-подложка происходит лавинное размножение электронов и инжекция некоторых из них, обладающих достаточной энергией, на границу между слоями диэлектрика. В результате происходит «запись единицы», т.е. снижение порогового напряжения открытия транзистора. Для стирания достаточно подать импульс отрицательного напряжения на затвор. При этом электроны вытесняются в подложку, что вызывает увеличение модуля порогового напряжения открытия транзистора (возникает состояние логического «0»).

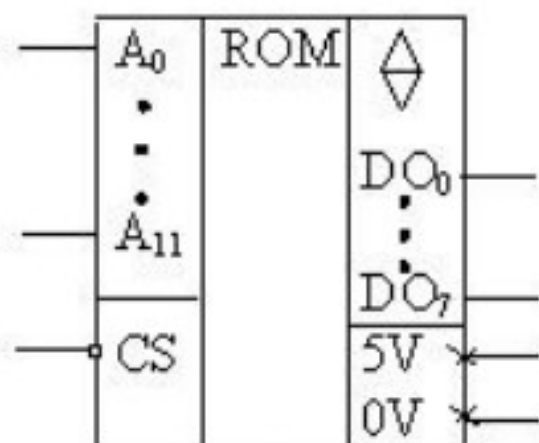
В *режиме считывания* на затвор подают напряжение, значение которого лежит между двумя пороговыми уровнями. Если в запоминающий элемент была записана логическая «1», транзистор откроется, если логический «0» – нет.

Вариант элемента памяти (ЭП) по структуре ЛИЗМОП с двойным затвором (рис. б) представляет собой *n*-МОП-транзистор, у которого в подзатворной области диэлектрика SiO_2 сформирована область из металла или поликристаллического кремния – «плавающий» затвор (ПЗ).

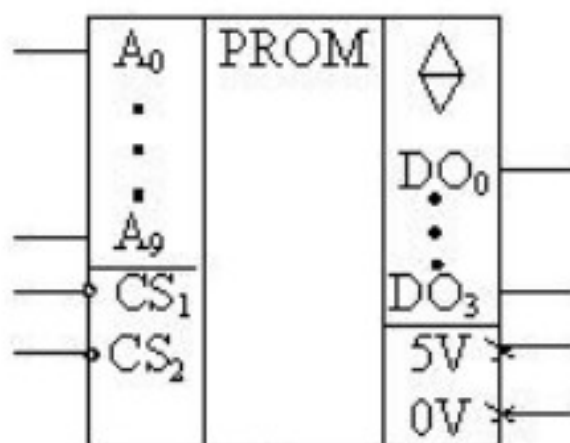
В режиме *программирование* на управляющий затвор, исток и сток подают напряжение (21 – 25) В положительной полярности. В обратно смещенных *p-n*-переходах возникает процесс лавинного размножения носителей заряда и часть электронов инжектируется в ПЗ. В результате накопления на ПЗ отрицательного заряда передаточная характеристика транзистора смещается в область высокого порогового напряжения (пороговое напряжение открытия транзистора увеличивается), что соответствует записи логического «0».

В режиме *стирание* происходит вытеснение заряда из области ПЗ: в РПЗУ-ЭС – электрическим сигналом, в РПЗУ-УФ – с помощью облучения ультрафиолетовыми лучами. В первом случае импульсом положительного напряжения, подаваемым на управляющий затвор, снимают заряд электронов с ПЗ, восстанавливая низкий уровень порогового напряжения, что соответствует состоянию логической «1». В структурах РПЗУ-УФ при облучении электроны рассасываются с ПЗ в подложку вследствие усиления теплового движения за счет энергии, полученной от источника УФ излучения. Режим *считывание* осуществляется также, как в ЭП на МНОП-структурах.

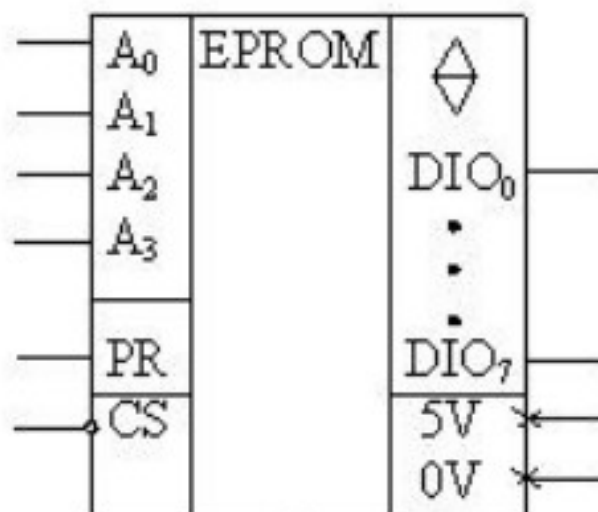
Режим *хранение* обеспечивается отсутствием напряжений на электродах ЭП с тем, чтобы исключить рассасывание заряда, имеющегося в диэлектрической среде. Время сохранения заряда для некоторых схем составляет от нескольких тысяч часов до нескольких лет.



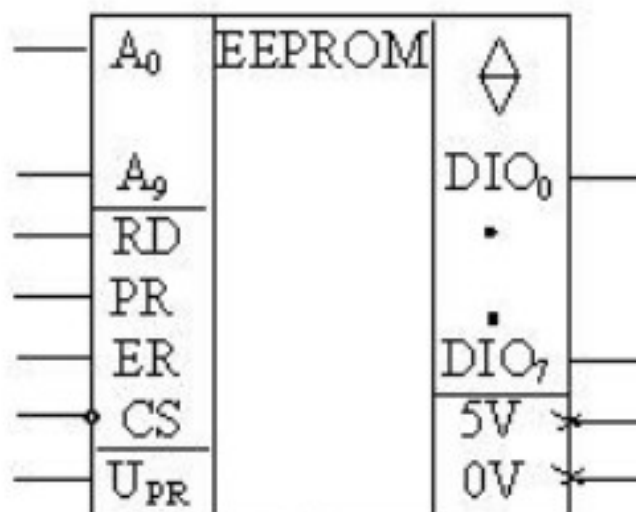
а)



б)






в)



г)

Рис. Условные обозначения постоянных запоминающих устройств:
 а – масочное ПЗУ; б – «прожигаемое» ПЗУ; в – репрограммируемое ПЗУ
 со стиранием ультрафиолетовым излучением;
 г – ПЗУ с электрическим стиранием

На выходе микросхемы могут быть изображены другие значки, указывающие тип выхода ЗУ:

-  – выход с 3-м состоянием;
-  – выходные цепи имеют открытый коллектор;
-  – выходные цепи имеют открытый эмиттер.

Обозначения сигналов и выводов микросхем ЗУ имеют следующий смысл:

$A_0 - A_n$ – обозначение адресных входов, номер соответствует разряду двоичного кода в адресном кодовом слове;

DI, DO – обозначение выводов входа и выхода данных;

$DIO_0 - DIO_n$ – обозначение выводов, которые могут быть либо входами, либо выходами данных, номер соответствует разряду двоичного кода в выходном кодовом слове;

CS – выбор микросхемы;

WR/RD – сигнал запись (считывание);

RAS – строб адреса строк;

CAS – строб адреса столбцов;

PR – сигнал программирования;

U_{PR} – напряжение программирования;

RD – сигнал считывания (чтения);

ER – сигнал стирания.

Цифро-аналоговые преобразователи

Назначение и виды цифро-аналоговых преобразователей. Цифро-аналоговым преобразователем (ЦАП) называется электронное устройство, предназначенное для преобразования цифровой информации в аналоговую. Они используются для формирования сигнала в виде напряжения или тока, функционально связанного с управляющим кодом. В большинстве случаев эта функциональная зависимость является линейной. Наиболее часто ЦАП используются для сопряжения устройств цифровой обработки сигналов с системами, работающими с аналоговыми сигналами. Кроме этого, ЦАП используются в качестве узлов обратной связи в аналого-цифровых преобразователях и в устройствах сравнения цифровых величин с аналоговыми.

Области применения ЦАП достаточно широки. Они применяются в системах передачи данных, в измерительных приборах и испытательных установках, в синтезаторах напряжения и генераторах сложных функций, для формирования изображений на экране дисплеев и др.

Схемы ЦАП можно классифицировать по различным признакам: принципу действия, виду выходного сигнала, полярности выходного сигнала, элементной базе и др. По принципу действия наибольшее распространение получили ЦАП следующих видов: со сложением токов, с делением напряжения и со сложением напряжений. В микроэлектронном исполнении применяются только первые два типа.

По виду выходного сигнала ЦАП делят на два вида: с токовым выходом и выходом по напряжению. Для преобразования выходного тока ЦАП в напряжение обычно используются операционные усилители. По полярности выходного сигнала ЦАП принято делить на однополярные и двухполярные.

Управляющий код, подаваемый на вход ЦАП, может быть различным: двоичным, двоично-десятичным, Грея, унитарным и др. Кроме того, различными могут быть и уровни логических сигналов на входе ЦАП.

При формировании выходного напряжения ЦАП под действием управляющего кода обычно используются источники опорного напряжения. В зависимости от вида источника опорного напряжения ЦАП делят на две группы: с постоянным опорным напряжением и с изменяющимся опорным напряжением. Кроме этого, ЦАП делят по основным характеристикам: количеству разрядов, быстродействию, точности преобразования, потребляемой мощности.

Основные параметры ЦАП. Все параметры ЦАП можно разделить на две группы: статические и динамические. К статическим параметрам ЦАП относят: разрешающую способность, погрешность преобразования, диапазон значений выходного сигнала, характеристики управляющего кода, смещение нулевого уровня и некоторые другие.

К динамическим показателям ЦАП принято относить: время установления выходного сигнала, предельную частоту преобразования, динамическую погрешность.

Разрешающая способность ЦАП определяется как величина, обратная максимальному количеству градаций выходного сигнала. Так, например, если разрешающая способность ЦАП составляет 10^{-5} , то это означает, что максимальное число градаций выходного сигнала равно 10^5 . Иногда разрешающую способность ЦАП оценивают выходным напряжением при изменении входного кода на единицу младшего разряда, т. е. шагом квантования. Очевидно, что чем больше разрядность ЦАП, тем выше его разрешающая способность.

Погрешность преобразования ЦАП принято делить на дифференциальную и погрешность нелинейности. С ростом кода на входе ЦАП растет и выходное напряжение, однако при увеличении напряжения могут быть отклонения от линейной зависимости. *Погрешностью нелинейности* называют максимальное отклонение выходного напряжения от идеальной прямой во всем диапазоне преобразования.

Дифференциальной погрешностью называют максимальное отклонение от линейности для двух смежных значений входного кода.

Напряжение смещения нуля определяется выходным напряжением при входном коде, соответствующем нулевому значению.

Время установления $t_{уст}$ — это интервал времени от подачи входного кода до вхождения выходного сигнала в заданные пределы, определяемые погрешностью.

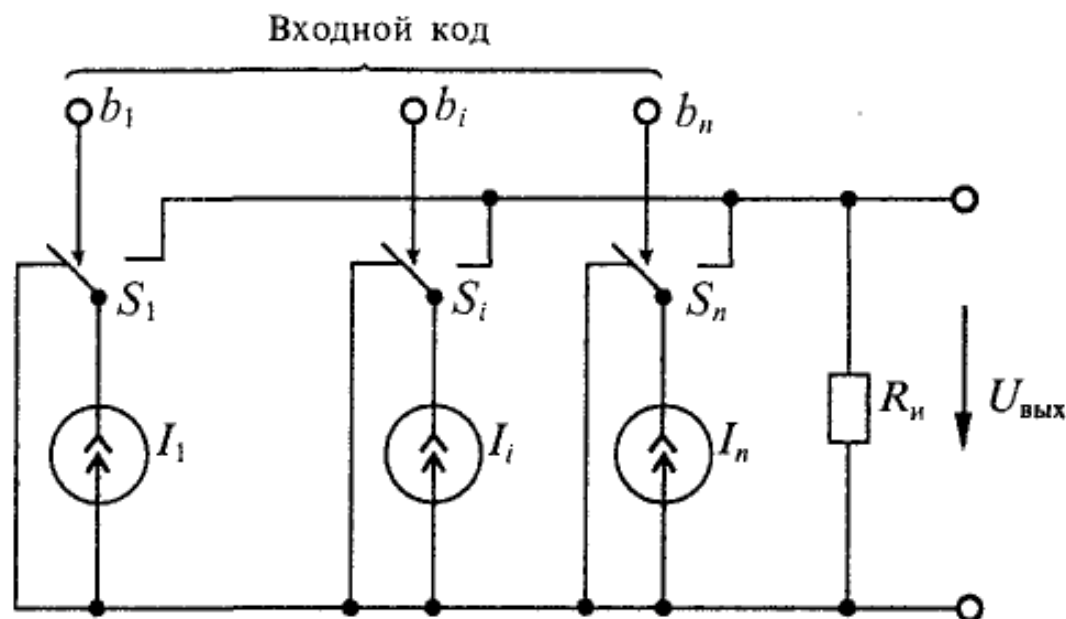
Максимальная частота преобразования — наибольшая частота дискретизации, при которой все параметры ЦАП соответствуют заданным значениям.

По совокупности параметров ЦАП принято делить на три группы: общего применения, прецизионные и быстродействующие. *Быстродействующие* ЦАП имеют время установления меньше 100 нс. К *прецизионным* относят ЦАП, имеющие погрешность нелинейности менее 0,1%.

Принципы построения ЦАП. Существует несколько схем, являющихся базой для построения многих разновидностей ЦАП соответствующего класса. Для формирования соответствующих уровней выходного напряжения (или тока) к выходу ЦАП подключается необходимое количество опорных сигналов $E_1, E_2 \dots E_n$ (или токов $I_1, I_2 \dots I_n$), либо устанавливают соответствующее дискретное значение коэффициента деления $K_1, K_2 \dots K_n$.

Рис. Упрощенная схема ЦАП
с суммированием токов

$$U_{\text{вых}} = I_{\Sigma} R_n.$$



Так, например, если входной код является двоичным, то результирующий ток определяется выражением:

$$I_{\Sigma} = I_0 (b_1 2^{n-1} + b_2 2^{n-2} + \dots + b_n 2^0) = I_0 N,$$

где n — число двоичных разрядов входного тока, N — n -разрядное цифровое слово.

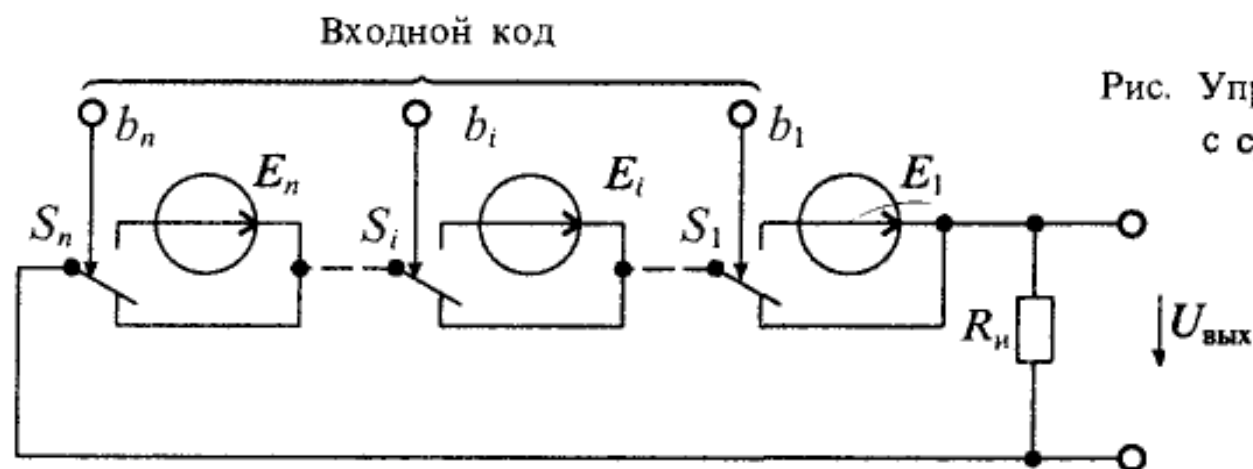


Рис. Упрощенная схема ЦАП
с суммированием напряжений

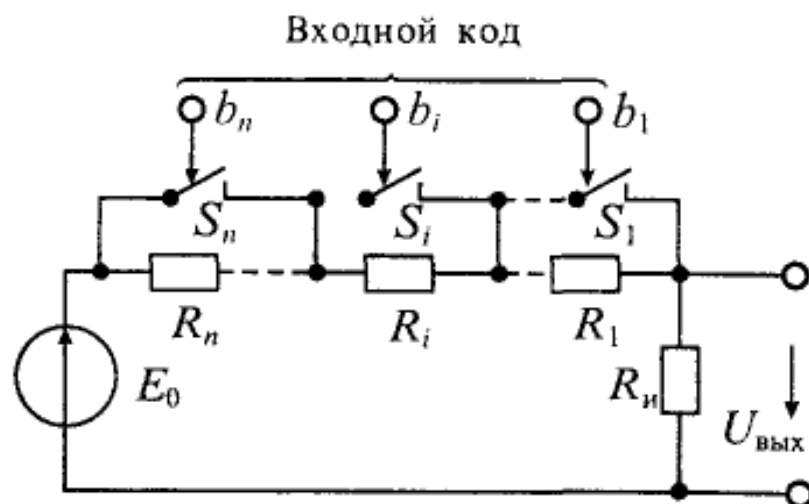
Так, например, для входного двоичного кода выходное напряжение определяется по формуле

$$U_{\Sigma} = U_{\text{вых}} = U_0(b_1 2^{n-1} + b_2 2^{n-2} + \dots + b_n 2^0) = U_0 N.$$

Рис. Упрощенная схема ЦАП
с делением напряжения

Выходное напряжение для схемы,
приведенной на рис., определяется
формулой

$$U_{\text{вых}} = \frac{E_0 R_n}{R_{\Sigma} + R_n},$$



где R_{Σ} — результирующее сопротивление устанавливаемое при помощи ключей S_1, S_2, \dots, S_n которые управляются входным кодом.

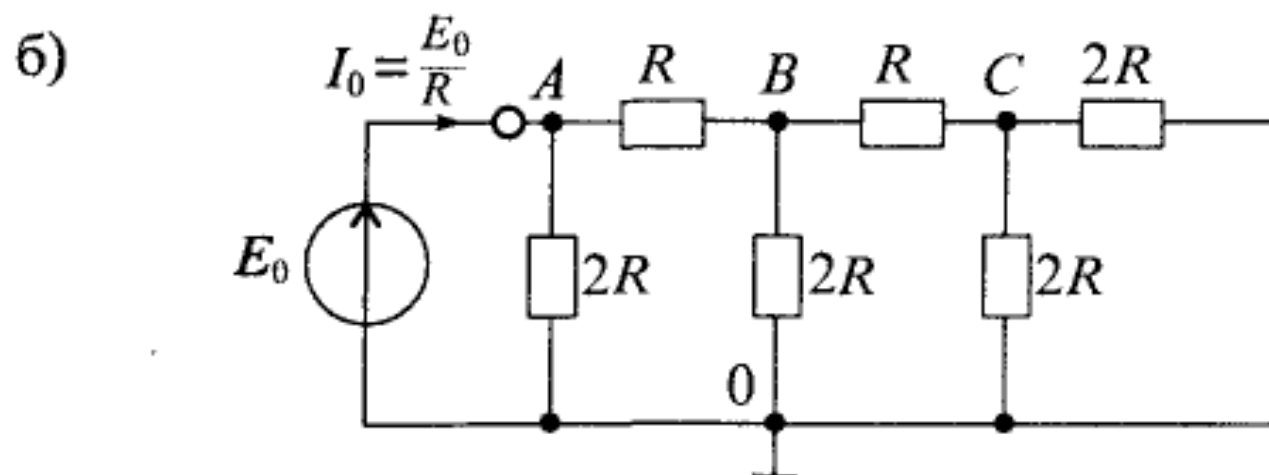
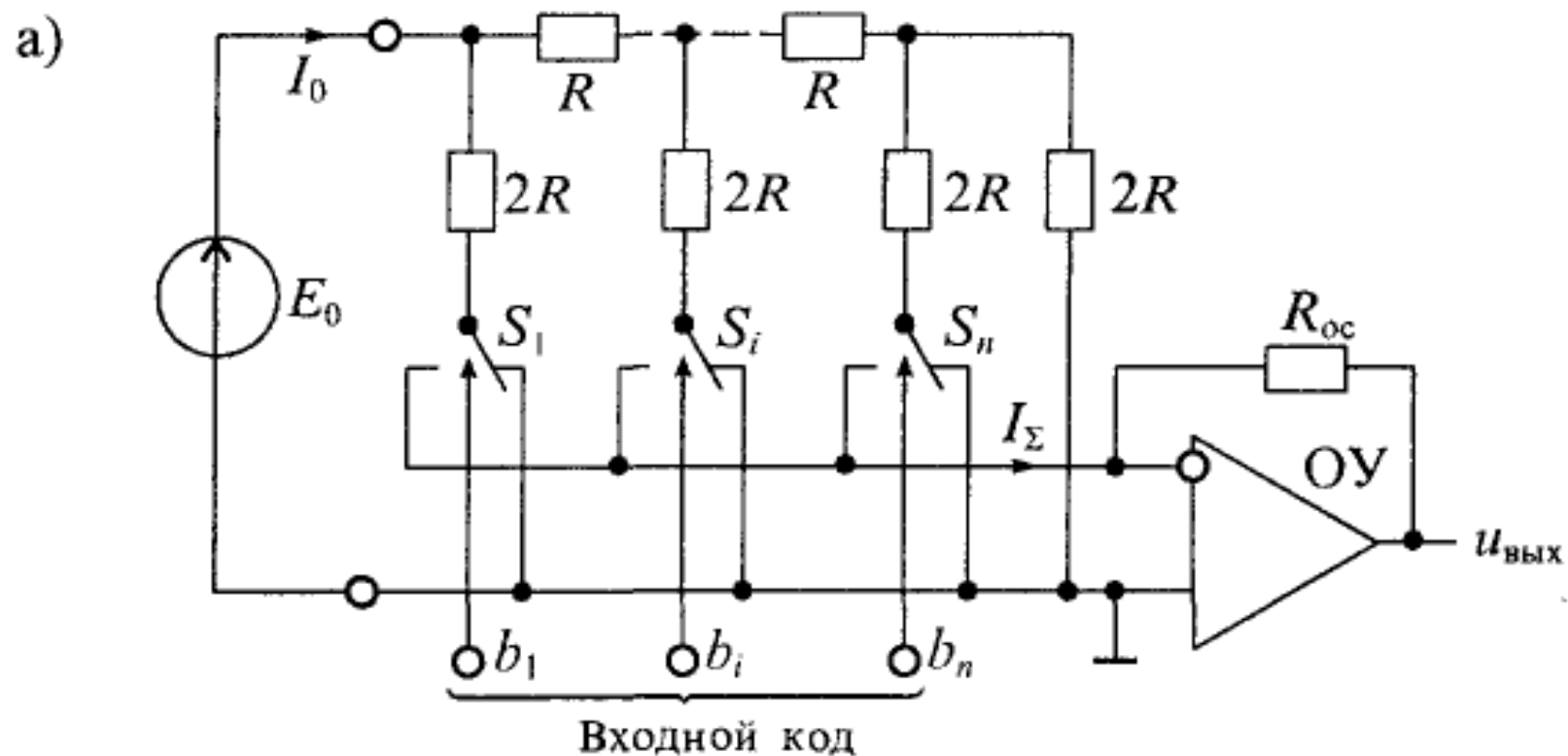


Рис. Схема ЦАП со сложением токов на резистивной матрице типа $R-2R$ (а) и структура резистивной матрицы (б)

Напряжение на выходе операционного усилителя определяется выражением

$$U_{\text{вых}} = \frac{E_0 R_{\text{ос}}}{R 2^n} (b_1 2^{n-1} + b_2 2^{n-2} + \dots + b_n 2^0) = \frac{E_0 R_{\text{ос}}}{R 2^n} N, \quad (1)$$

где $b_i=1$, если ключ S_i находится в положении, при котором ток протекает на инвертирующий вход ОУ, и $b_i=0$, если ключ S_i находится в положении, при котором ток протекает в общий вывод, n — число разрядов преобразователя.

Максимальное значение выходного напряжения (т. е. напряжение в конечной точке диапазона) имеет место при всех $b_i=1$ и определяется по формуле:

$$U_{\text{вых. max}} = \frac{E_0 R_{\text{ос}} (1 - 2^{-n})}{R} = \frac{E_0 R_{\text{ос}}}{R} - h,$$

где h — шаг квантования, т. е. приращение выходного напряжения при изменении входного кода на единицу младшего разряда:

$$h = \frac{E_0 R_{\text{ос}}}{2^n R}.$$

Как следует из формулы (1), выходное напряжение ЦАП зависит не только от входного кода N , но и от напряжения E_0 опорного источника. Если допустить, что напряжение E_0 меняется, то выходное напряжение ЦАП будет пропорционально произведению двух величин: входного кода и напряжения, поданного на вход опорного сигнала. В связи с этим такие ЦАП обычно называют перемножающими. В интегральных микросхемах перемножающих ЦАП источник опорного напряжения отсутствует, но имеется вход для его подключения.

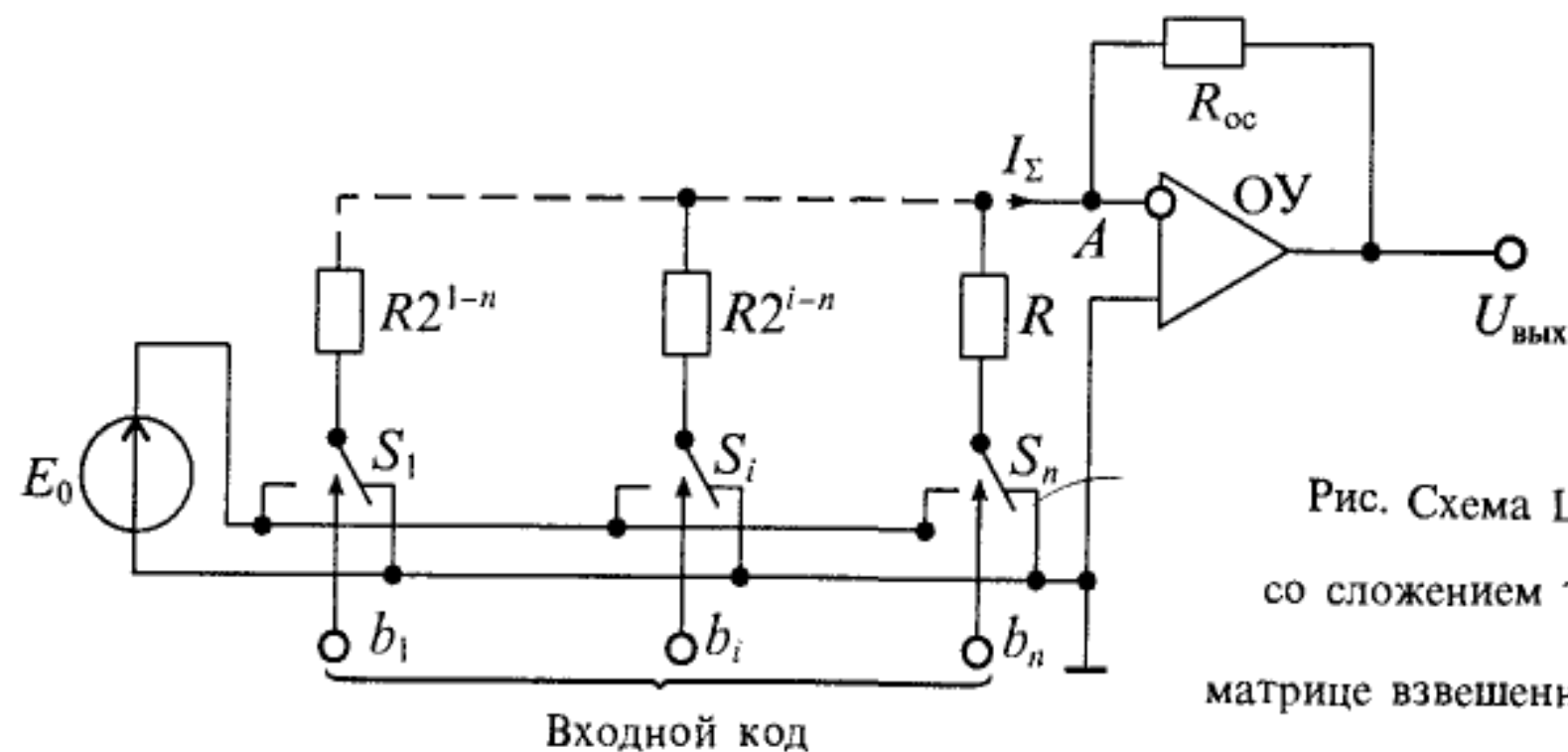


Рис. Схема ЦАП
со сложением токов на
матрице взвешенных резисторов

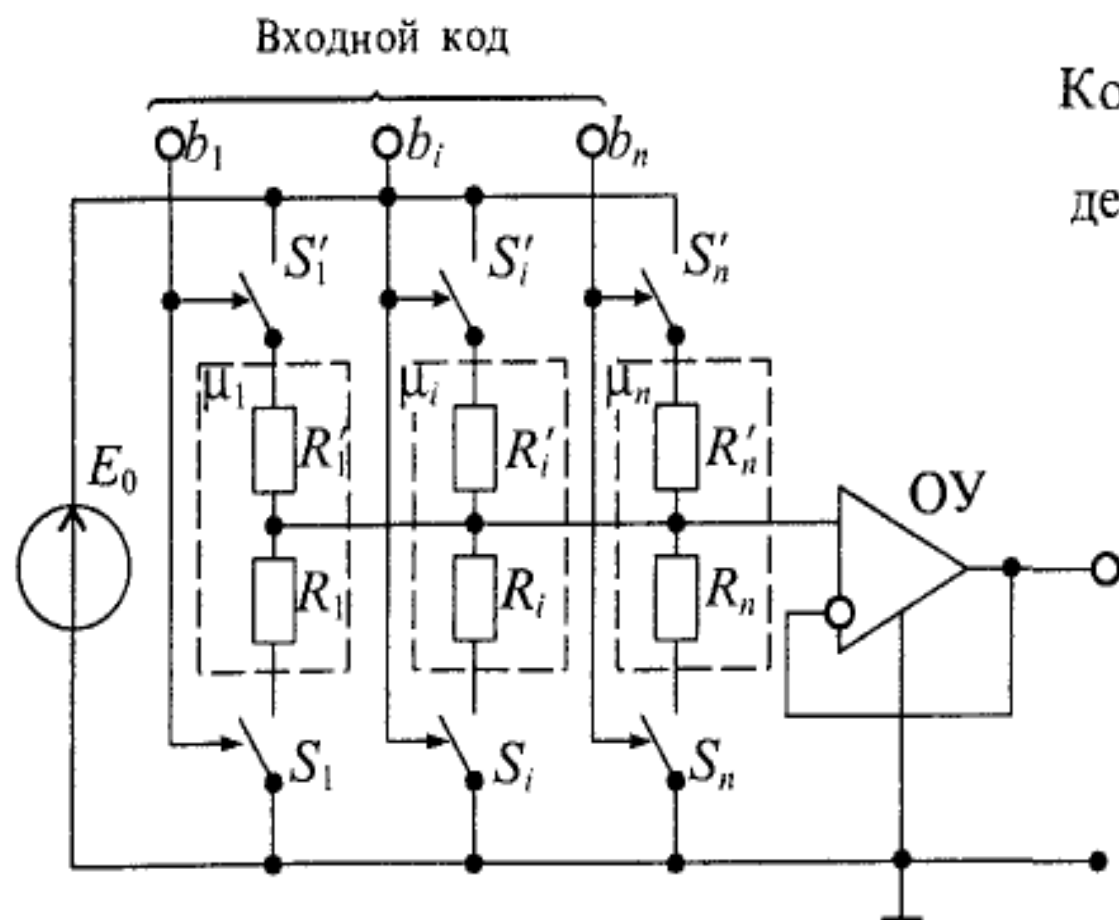
ток, протекающий в сопротивлении R_i , будет равен

$$I_i = \frac{E_0 b_i}{R 2^{i-n}} = \begin{cases} 0, & \text{при } b_i = 0, \\ \frac{E_0}{R 2^{i-n}}, & \text{при } b_i = 1. \end{cases}$$

Результирующий ток определяется суммой

$$I_{\Sigma} = \sum_{i=1}^n I_i = \frac{E_0}{R} \sum_{i=1}^n b_i 2^{n-i} = \frac{E_0}{R} (b_1 2^{n-1} + \dots + b_n 2^0).$$

Цифро-аналоговые преобразователи



Коэффициент передачи каждого звена делителя определяется по формуле

$$\mu_i = \frac{R_i}{R_i + R'_i}$$

Рис. Схема ЦАП с параллельными делителями напряжения

Такой ЦАП целесообразно применять при управлении унитарным кодом и небольшой разрядности ЦАП.

Виды аналого-цифровых преобразователей и их особенности. Аналого-цифровые преобразователи (АЦП) представляют собой устройства, предназначенные для преобразования электрических величин (напряжения, тока, мощности, сопротивления, емкости и др.) в цифровой код. Наиболее часто входной величиной является напряжение. Все другие величины перед подачей на такой АЦП нужно предварительно преобразовывать в напряжение. Однако на практике находят применение также преобразователи, например, сопротивления или емкости в цифровой код без промежуточного преобразования в напряжение. Обычно это позволяет уменьшить погрешность преобразования, но усложняет проектирование преобразователя и его изготовление. Последнее объясняется тем, что серийные промышленные микросхемы АЦП предназначены только для работы с напряжением. Поэтому в дальнейшем будут рассмотрены только преобразователи напряжения в цифровой код.

В общем случае напряжение характеризуется его мгновенным значением $u(t)$. Однако для оценки напряжения можно также пользоваться его средним за выбранный промежуток времени T значением:

$$U_{\text{ср}} = U = \frac{1}{T} \int_0^T u(t) dt.$$

В связи с этим все типы АЦП можно разделить на две группы: АЦП мгновенных значений напряжения и АЦП средних значений напряжения. Так как операция усреднения предполагает интегрирование мгновенного значения напряжения, то АЦП средних значений часто называют интегрирующими.

В основе дискретизации сигналов лежит принципиальная возможность представления их в виде взвешенных сумм:

$$u(t) = \sum_n a_n f_n(t),$$

где a_n — некоторые коэффициенты или отсчеты, характеризующие исходный сигнал в дискретные моменты времени, $f_n(t)$ — набор элементарных функций, используемых при восстановлении сигнала по его отсчетам.

Дискретизация бывает равномерная и неравномерная. При равномерной дискретизации период отсчетов T остается постоянным, а при неравномерной — период может изменяться. Неравномерная дискретизация чаще всего обусловлена скоростью изменения сигнала и потому называется адаптивной.

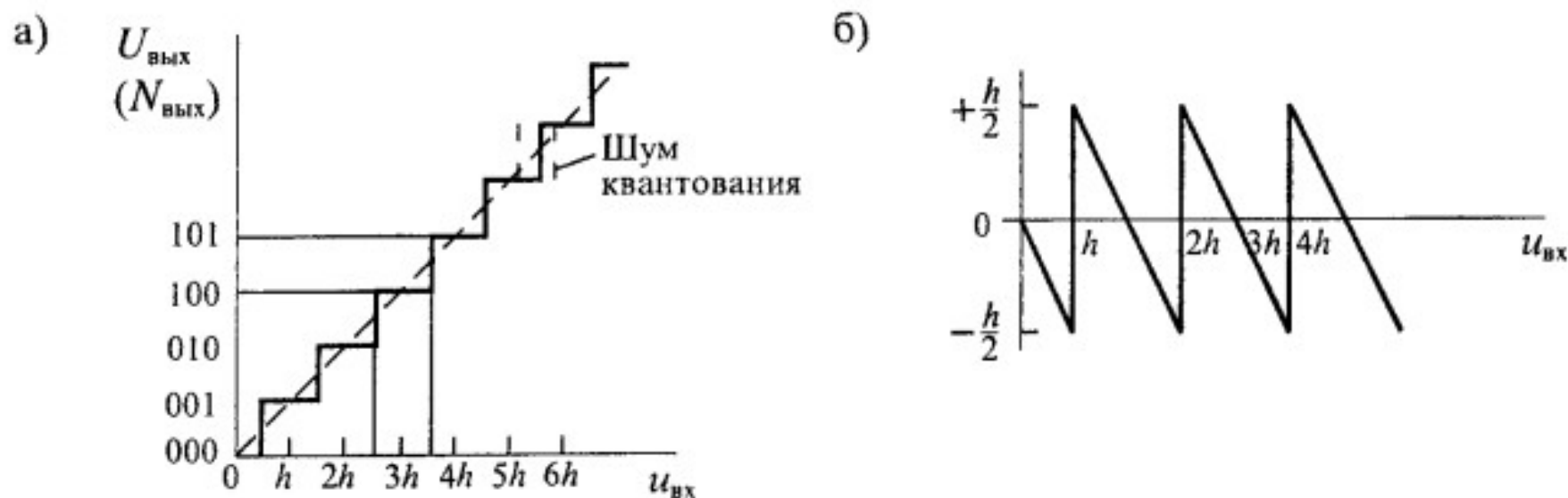


Рис. Характеристика идеального квантования (а) и график изменения погрешности квантования (б)

Выходной величиной АЦП является цифровой код, т. е. последовательность цифр, с помощью которой представляются дискретные кантованные величины. В АЦП используют четыре основных типа кодов: натуральный двоичный, десятичный, двоично-десятичный и код Грея. Кроме этого, АЦП, предназначенные для вывода информации в десятичном коде, выдают на своем выходе специализированный код для управления семисегментными индикаторами.

Большинство АЦП работают с выходом в натуральном двоичном коде, при котором каждому положительному числу N ставится в соответствие код

$$\{b_i\} = b_1 b_2 \dots b_n,$$

где b_i равны нулю или единице. При этом положительное число в двоичном коде имеет вид

$$N = \sum_{i=1}^n b_i 2^{n-i} = b_1 2^{n-1} + b_2 2^{n-2} + \dots + b_n 2^0.$$

Такой код принято называть прямым: его крайний правый разряд является младшим, а крайний левый — старшим. Прямой код пригоден лишь для работы с однополярными сигналами. Полный диапазон преобразуемого сигнала равен 2^n , а $N_{\max} = 2^n - 1$.

К статическим характеристикам АЦП относят: абсолютные значения и полярности входных сигналов, входное сопротивление, значения и полярности выходных сигналов, выходное сопротивление, значения напряжений и токов источников питания, количество двоичных или десятичных разрядов выходного кода, погрешности преобразования постоянного напряжения и др. К динамическим параметрам АЦП относят: время преобразования, максимальную частоту дискретизации, апертурное время, динамическую погрешность и др.

Рассмотрим некоторые из этих параметров более подробно. Основной характеристикой АЦП является его *разрешающая способность*, которую принято определять величиной, обратной максимальному числу кодовых комбинаций на выходе АЦП. Разрешающую способность можно выражать в процентах, в количестве разрядов или в относительных единицах. Например, 10-разрядный АЦП имеет разрешающую способность $(1024)^{-1} \approx 10^{-3} = 0,1\%$. Если напряжение шкалы для такого АЦП равно 10 В, то абсолютное значение разрешающей способности будет около 10 мВ.

Реальное значение разрешающей способности отличается от расчетного из-за погрешностей АЦП. Точность АЦП определяется значениями абсолютной погрешности, дифференциальной и интегральной нелинейности. Абсолютную погрешность АЦП определяют в конечной точке характеристики преобразования, поэтому ее обычно называют погрешностью полной шкалы и измеряют в единицах младшего разряда.

Принципы построения АЦП. Все типы используемых АЦП можно разделить по признаку измеряемого значения напряжения на две группы: АЦП мгновенных значений напряжения и АЦП средних значений напряжения (интегрирующие АЦП). Вначале ознакомимся с АЦП, которые позволяют определять код мгновенного значения напряжения, а затем рассмотрим интегрирующие АЦП и особенности их использования.

АЦП мгновенных значений можно разделить на следующие основные виды: последовательного счета, последовательного приближения, параллельные, параллельно-последовательные и с промежуточным преобразованием в интервал времени.

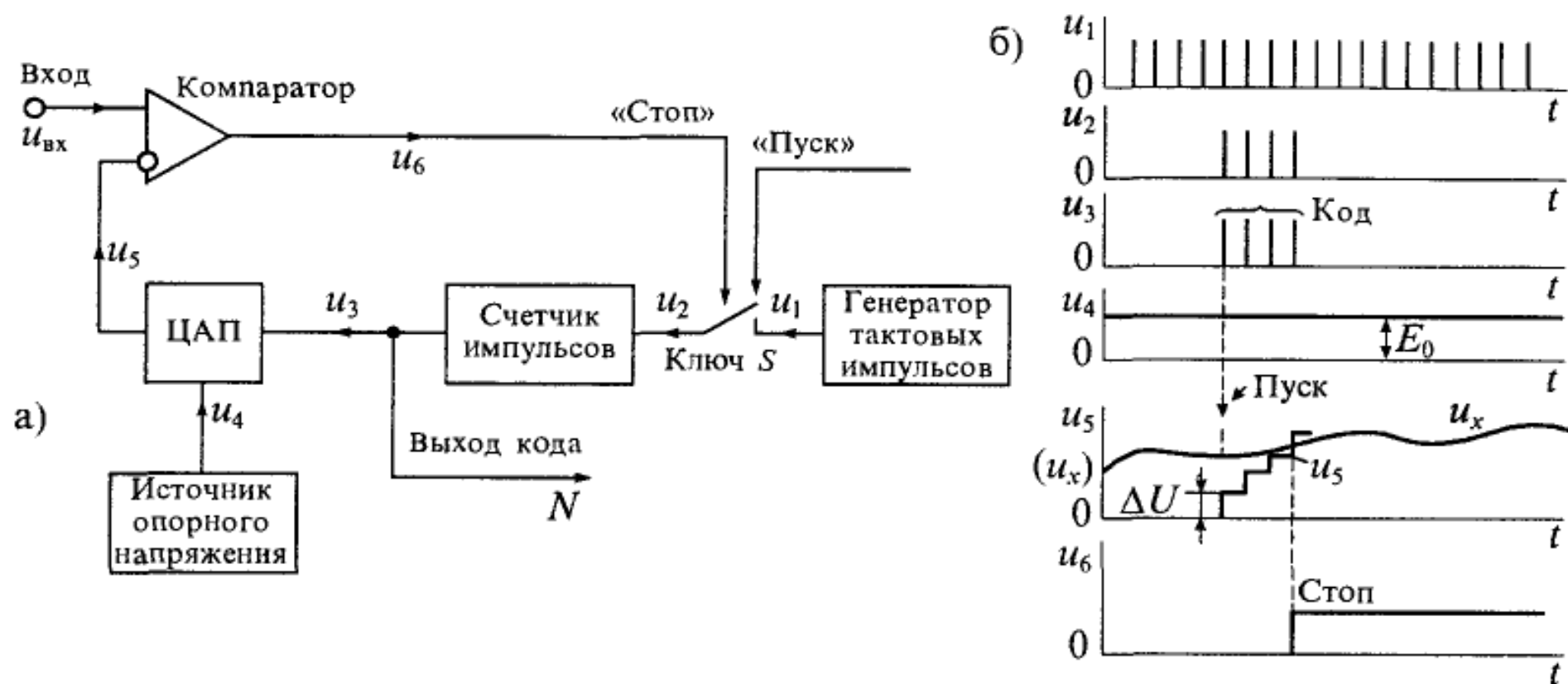


Рис. Структурная схема АЦП последовательного счета (а) и графики процесса преобразования (б)

Структурная схема *АЦП последовательного счета* содержит компаратор, при помощи которого выполняется сравнение входного напряжения с напряжением обратной связи. На прямой вход компаратора поступает входной сигнал $u_{вх}$, а на инвертирующий — напряжение u_5 обратной связи. Работа преобразователя начинается с приходом импульса «ПУСК» от схемы управления (на рисунке она не показана), который замыкает ключ S . Через замкнутый ключ S импульсы u_1 от генератора тактовых импульсов поступают на счетчик, который управляет работой цифро-аналогового преобразователя (ЦАП). В результате последовательного увеличения выходного кода счетчика N происходит последовательное ступенчатое увеличение выходного напряжения u_5 ЦАП. Питание ЦАП выполняется от источника опорного напряжения u_4 .

Когда выходное напряжение ЦАП сравнивается с входным напряжением, произойдет переключение компаратора и по его выходному сигналу «СТОП» разомкнется ключ S . В результате импульсы от генератора перестанут поступать на вход счетчика. Выходной код, соответствующий равенству $u_{вх} = u_5$, снимается с выходного регистра счетчика.

Из графиков, иллюстрирующих процесс преобразования напряжения в цифровой код, видно, что время преобразования переменное и зависит от уровня входного сигнала. При числе двоичных разрядов счетчика, равном n , и периоде следования счетных импульсов T максимальное время преобразования можно определить по формуле:

$$T_{пр} = (2^n - 1) T.$$

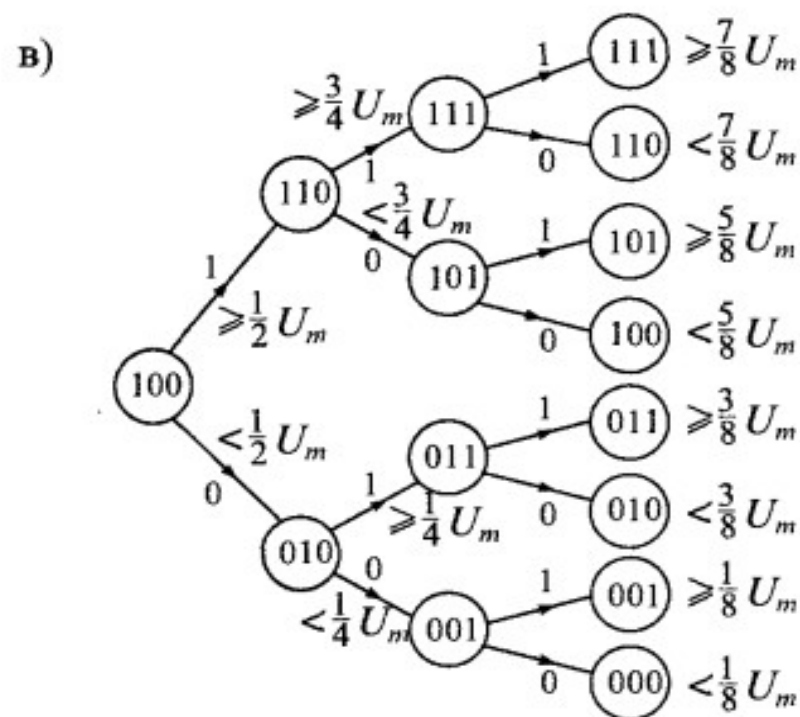
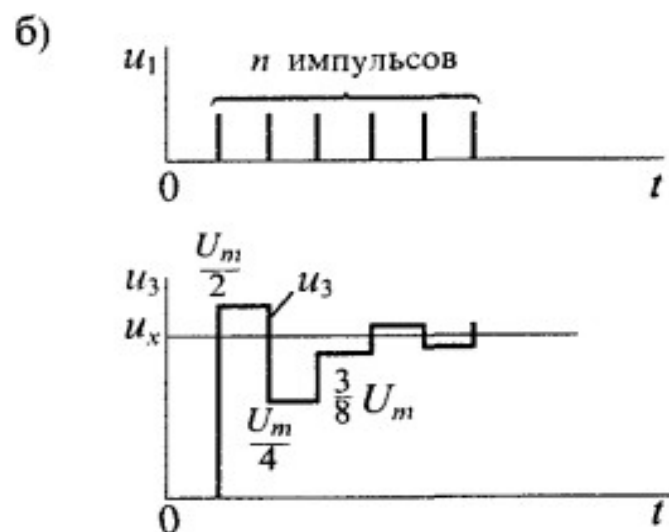


Рис. Структурная схема АЦП последовательного приближения (а), графики процесса преобразования (б) и диаграмма последовательности переходов для трехразрядного АЦП (в)

По сравнению со схемой АЦП последовательного счета в схеме АЦП последовательного приближения сделано одно существенное изменение — вместо счетчика введен регистр последовательного приближения (РПП). Это изменило алгоритм уравнивания и сократило время преобразования.

В основе работы АЦП с РПП лежит принцип дихотомии, т. е. последовательного сравнения преобразуемого напряжения $u_{вх}$ с $1/2$, $1/4$, $1/8$ и т. д. возможного максимального его значения U_m . Это позволяет для n -разрядного АЦП выполнить весь процесс преобразования за n последовательных шагов приближения (итераций) вместо $(2^n - 1)$ при использовании последовательного счета и получить существенный выигрыш в быстродействии. Поскольку на каждом шаге производится определение значения одного разряда, начиная со старшего, то такой АЦП часто называют АЦП поразрядного уравнивания. При первом сравнении определяется — больше или меньше напряжение $u_{вх}$, чем $U_m/2$. На следующем шаге определяется, в какой четверти диапазона находится $u_{вх}$. Каждый последующий шаг вдвое сужает область возможного результата.

При каждом шаге сравнения компаратор формирует импульсы, соответствующие состоянию «больше-меньше» (1 или 0), управляющие регистром последовательных приближений.

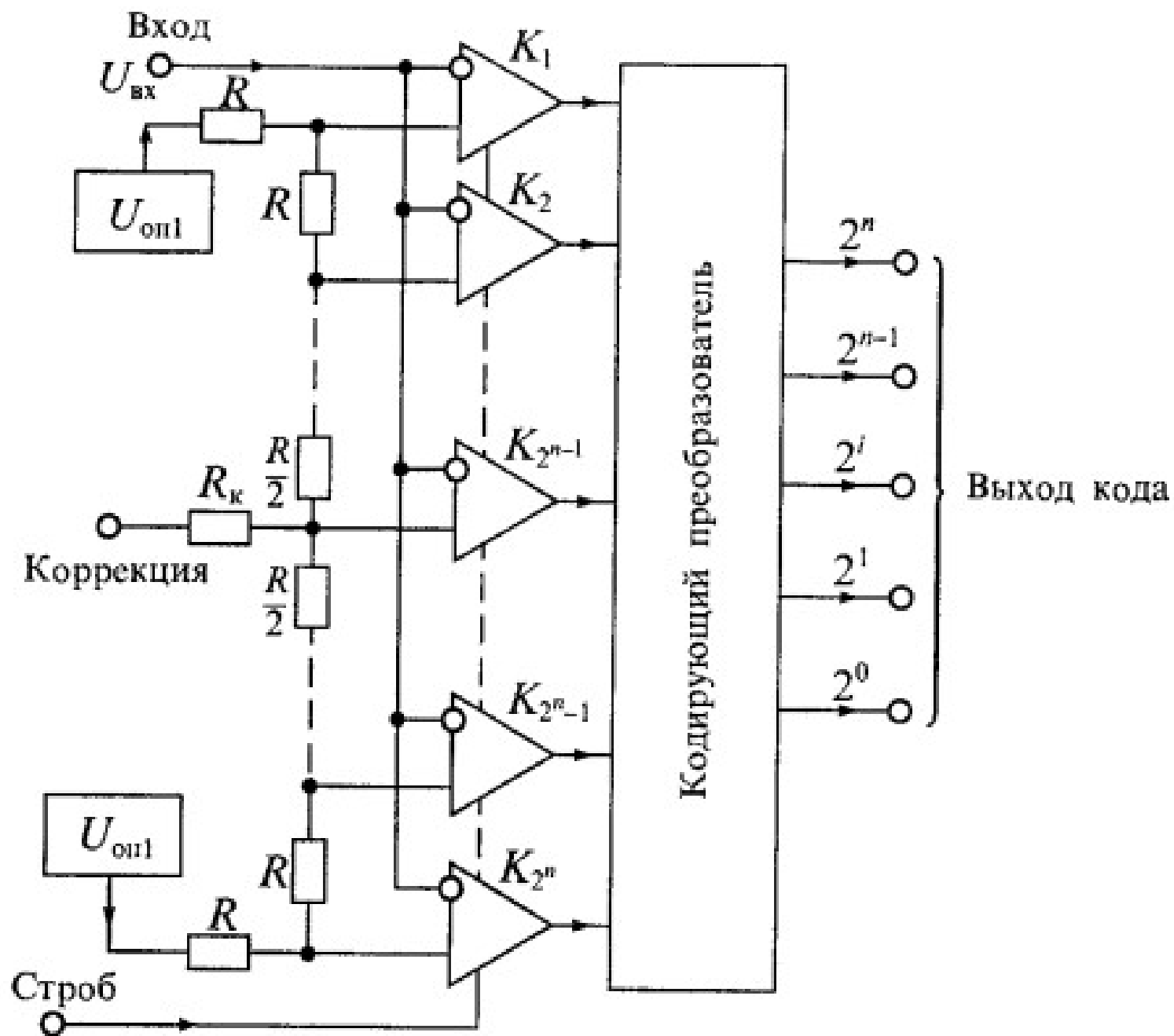


Рис. Структурная схема параллельного АЦП

Структурная схема *параллельного АЦП* приведена на рис. Преобразователь осуществляет одновременное квантование входного сигнала $u_{\text{вх}}$ с помощью набора компараторов, включенных параллельно источнику сигнала. Пороговые уровни компараторов установлены с помощью резистивного делителя в соответствии с используемой шкалой квантования. При подаче на входы компараторов сигнала $u_{\text{вх}}$ на их выходах получим квантованный сигнал, представленный в унитарном коде.

Для преобразования унитарного кода в двоичный (или двоично-десятичный) используют кодирующий преобразователь. При работе в двоичном коде все резисторы делителя имеют одинаковые сопротивления R . Время преобразования такого преобразователя составляет один такт, т. е. $T_{\text{пр}} = T$. Параллельные преобразователи являются в настоящее время самыми быстрыми и могут работать с частотой дискретизации свыше 100 МГц. Для получения более широкой полосы пропускания компараторы обычно делают стробируемыми.

Делитель опорного напряжения представляет собой набор низкоомных резисторов с сопротивлением около 1 Ом. По выводу «Коррекция» возможно проведение коррекции напряжения смещения нулевого уровня на входе, а по выводу $U_{\text{он2}}$ — абсолютной погрешности преобразования в конечной точке шкалы. Номинальные значения опорных напряжений имеют значения: $U_{\text{он1}} = -0,075 \dots 0$ В, и $U_{\text{он2}} = -2,1 \dots -1,9$ В. Типовая задержка срабатывания компараторов около 7 нс.

Структурная схема *последовательно-параллельного АЦП* приведена на рис. Такой АЦП работает в несколько тактов. В первом такте АЦП преобразует старшие разряды входного напряжения $u_{вх}$ в цифровой код (на схеме это разряды $2^3 \dots 2^5$). Затем во втором такте эти разряды преобразуются с помощью ЦАП в напряжение, которое вычитается из входного сигнала в вычитающем устройстве ВУ. В третьем такте АЦП2 преобразует полученную разность в код младших разрядов входного напряжения $u_{вх}$.

Такие преобразователи характеризуется меньшим быстродействием по сравнению с параллельными, но имеют меньшее число компараторов. Так, например, для 6-ти разрядного параллельного АЦП необходимо 64 компаратора, а для последовательно-параллельного АЦП — всего 16.

Количество каскадов в таких АЦП может быть увеличено, поэтому они часто называются многокаскадными или конвейерными. Выходной код таких АЦП представляет собой сумму кодов $N = N_1 + N_2 + N_3 + \dots$, вырабатываемых отдельными каскадами.

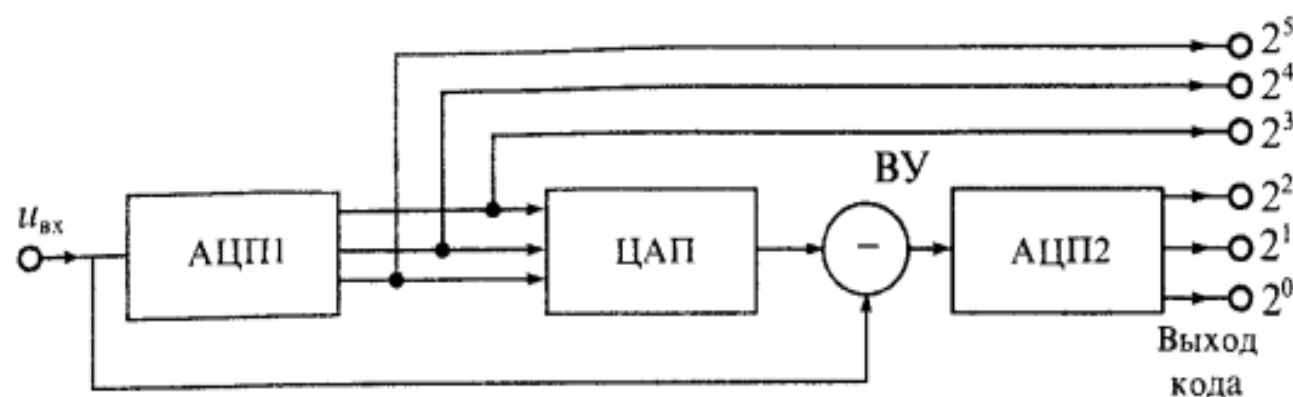


Рис. Структурная схема параллельно-последовательного АЦП

К АЦП мгновенных значений также относятся некоторые типы АЦП с время-импульсным преобразованием. Структурная схема такого АЦП приведена на рис.а В основу работы этого преобразователя положен метод преобразования входного напряжения во временной интервал. Графики процесса преобразования приведены на рис.б

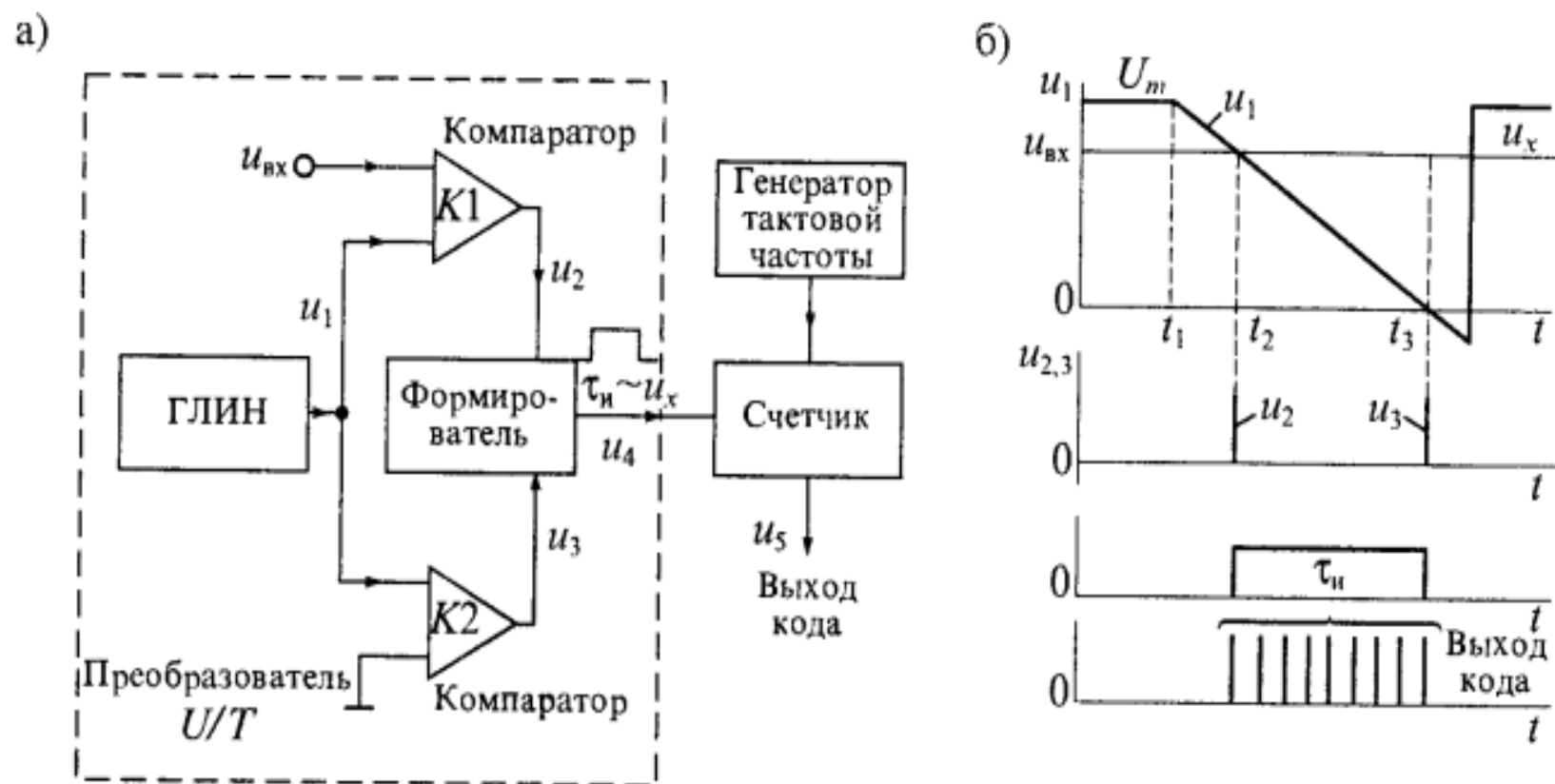


Рис. Структурная схема АЦП время-импульсного преобразования (а) и графики процесса преобразования (б)

АЦП состоит из генератора линейно-изменяющегося напряжения ГЛИН, двух компараторов $K1$ и $K2$, формирователя длительности импульса τ_n , генератора тактовых импульсов и счетчика, с выхода которого снимается код преобразованного напряжения. Первый импульс u_2 формируется при сравнении напряжения $u_{вх}$ с напряжением u_1 , а второй импульс u_3 формируется при достижении напряжением u_1 нулевого уровня. Быстродействие таких АЦП невелико: время преобразования в лучшем случае составляет 20...50 мкс.

Уравнение, описывающее работу АЦП, можно определить следующим образом. Напряжение u_1 , вырабатываемое ГЛИН, имеет вид:

$$u_1 = U_m - kt,$$

где k — крутизна пилообразного напряжения.

Моменты времени t_2 и t_3 срабатывания компараторов $K1$ и $K2$ определяются по формуле:

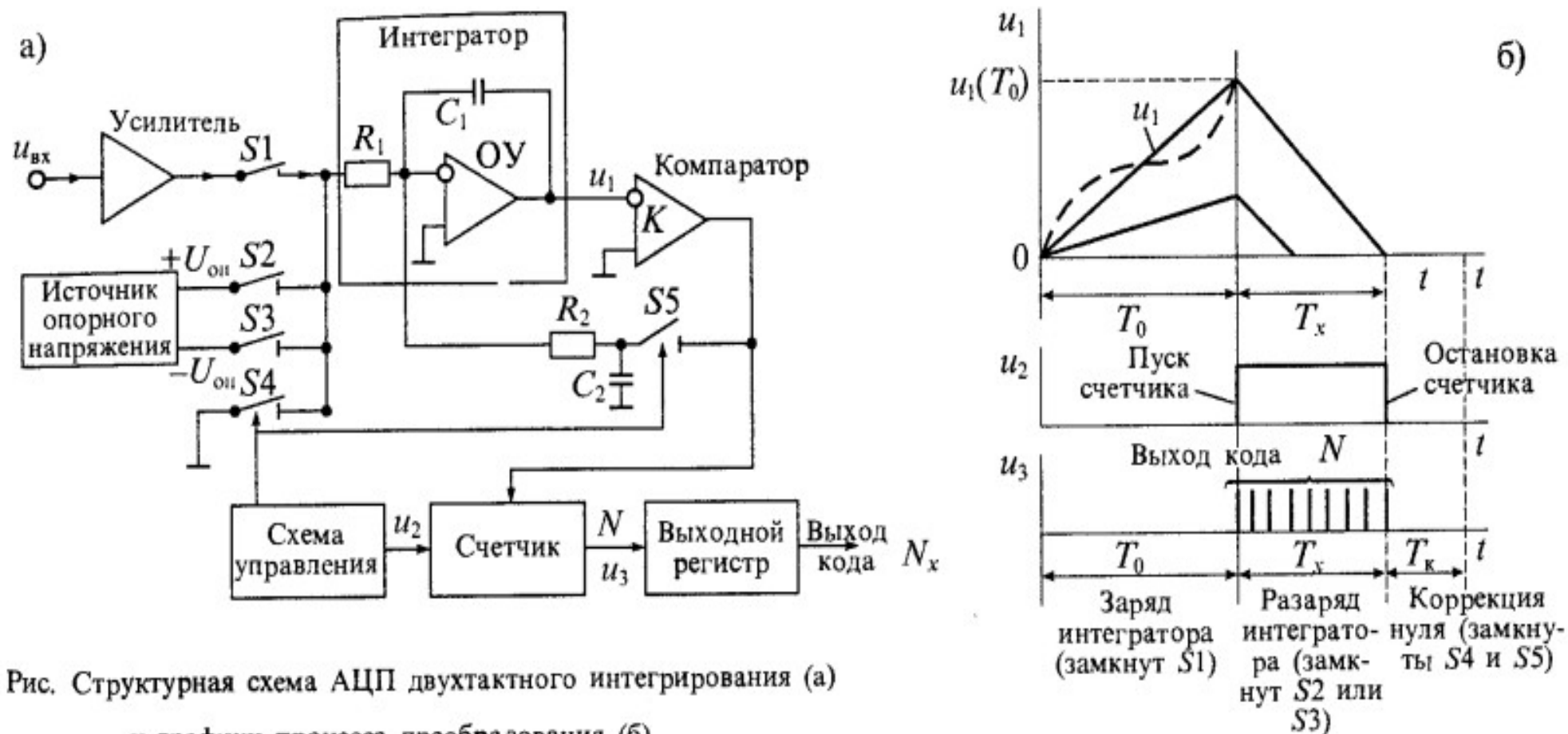
$$t_2 = \frac{U_m - u_{вх}}{k}; \quad t_3 = \frac{U_m}{k}.$$

Длительность импульса определим как разность $\tau_n = t_3 - t_2 = u_{вх}/k$. Количество импульсов, подсчитанных счетчиком, равно

$$N = f_0 t_n,$$

где f_0 — частота тактового генератора.

АЦП средних значений напряжения (интегрирующий АЦП) можно разделить на следующие основные виды: с время-импульсным преобразованием, с частотно-импульсным преобразованием и со статистическим усреднением. Наибольшее распространение получили первые две группы АЦП.



Структурная схема интегрирующего АЦП с время-импульсным преобразованием приведена на рис. а. Работу этой схемы можно разделить на три такта. В первом такте производится заряд интегратора, во втором — его разряд, а в третьем коррекция нулевого уровня интегратора. Графики, иллюстрирующие работу АЦП, приведены на рис. б.

В первом такте, имеющем фиксированную длительность T_0 , замкнут ключ $S1$, а остальные ключи разомкнуты. В этом случае входное напряжение $u_{вх}$ через замкнутый ключ $S1$ и сопротивление R_1 заряжает емкость C_1 интегратора и выходное напряжение растет линейно во времени, как показано на рис. б. К концу интервала T_0 напряжение на выходе интегратора будет равно

$$u_1(T_0) = k \int_0^{T_0} u_{вх} dt = k T_0 U_{вх},$$

где $k^{-1} = R_1 C_1$ — постоянная времени интегратора, $U_{вх}$ — среднее значение входного напряжения:

$$U_{вх} = T_0^{-1} \int_0^{T_0} u_{вх} dt.$$

Во втором такте происходит разряд интегратора. При этом в зависимости от требуемой полярности источника опорного напряжения замыкается один из ключей $S2$ или $S3$. Разряд интегратора происходит с постоянной скоростью, которая не зависит от накопленного в интеграторе заряда, поэтому с увеличением накопленного заряда время разряда также увеличивается. Конец разряда интегратора фиксируется компаратором K , после чего ключ $S2$ (или $S3$) размыкается.

Поскольку начало разряда определяет схема управления, а конец — компаратор, то длительность разряда интегратора можно определить по формуле:

$$u_1(T_0) - k \int_0^{T_x} U_{\text{он}} dt = 0, \text{ откуда } kT_0 \bar{U}_{\text{вх}} = kU_{\text{он}} T_x \text{ или } T_x = \frac{T_0}{U_{\text{он}}} U_{\text{вх}}.$$

что свидетельствует, о пропорциональности интервала T_x среднему значению входного напряжения $U_{\text{вх}}$. Заполнение интервала T_x счетными импульсами, поступающими от схемы управления, позволяет найти числовой код $N_x = T_x f_0$.

К достоинствам интегрирующих АЦП следует отнести их высокую помехозащищенность. Если на входной сигнал наложена гармоническая помеха, то при равенстве периода помехи времени заряда интегратора $T_{\text{н}} = T_0$ среднее значение помехи к концу интервала интегрирования будет равно нулю, как показано штриховой линией на рис. 6. Случайные помехи и шумы также ослабляются интегрированием, хотя и в меньшей степени.

На третьем этапе производится коррекция нулевого уровня интегратора. Для этого замыкаются ключи $S4$ и $S5$, а остальные ключи размыкаются. Так как вход интегратора через сопротивление R_1 соединен с общей шиной, то конденсатор C_1 через замкнутый ключ $S5$ заряжается до напряжения ошибки, которое после размыкания ключей $S4$ и $S5$ вычитается из входного сигнала.

К недостаткам таких интегрирующих АЦП относится прежде всего сравнительно невысокое быстродействие. Кроме этого, при перегрузке АЦП большим входным сигналом происходит перезаряд интегрирующего конденсатора C_1 , поэтому после снятия перегрузки в течение нескольких циклов АЦП будет работать с большой погрешностью.

Другим типом интегрирующих АЦП являются АЦП с частотно-импульсным преобразованием, принцип работы которых основан на предварительном преобразовании входного напряжения в пропорциональную ему частоту следования импульсов, которая затем измеряется за фиксированный интервал времени. После подсчета числа импульсов результат выдается в виде цифрового эквивалента входного напряжения.

Структурная схема АЦП с частотно-импульсным преобразованием приведена на рис. а. Основным звеном в этой схеме является преобразователь напряжения в частоту (ПНЧ). При помощи ПНЧ входное напряжение преобразуется в частоту импульсов, при этом $f = k u_{\text{вх}}$. Число импульсов, подсчитанных счетчиком за выбранный интервал времени $T_{\text{и}}$, определяется формулой

$$N_x = \int_0^{T_{\text{и}}} f dt = \int_0^{T_{\text{и}}} u_{\text{вх}} dt = k T_{\text{и}} \bar{U}_{\text{вх}},$$

где $\bar{u}_{\text{вх}} = T_{\text{и}}^{-1} \int_0^{T_{\text{и}}} u_{\text{вх}} dt$ — среднее значение напряжения на интервале $T_{\text{и}}$.

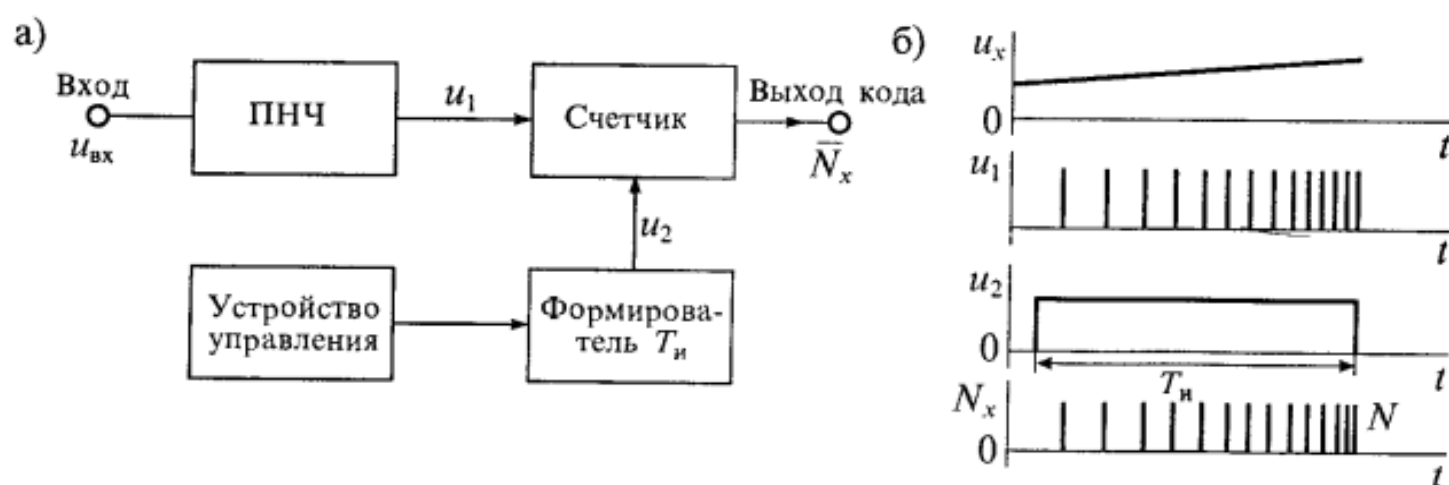


Рис. Структурная схема АЦП с частотно-импульсным преобразованием (а) и графики процесса преобразования (б)

Графики процесса преобразования АЦП с частотно-импульсным преобразованием приведены на рис. 6. Преобразователь напряжения в частоту может быть построен на различных принципах, однако от его характеристики преобразования зависят свойства АЦП. Погрешность ПНЧ практически полностью входит в погрешность АЦП. В связи с этим наиболее часто в качестве ПНЧ в таких АЦП используется преобразователь с импульсной обратной связью, схема которого приведена на рис.

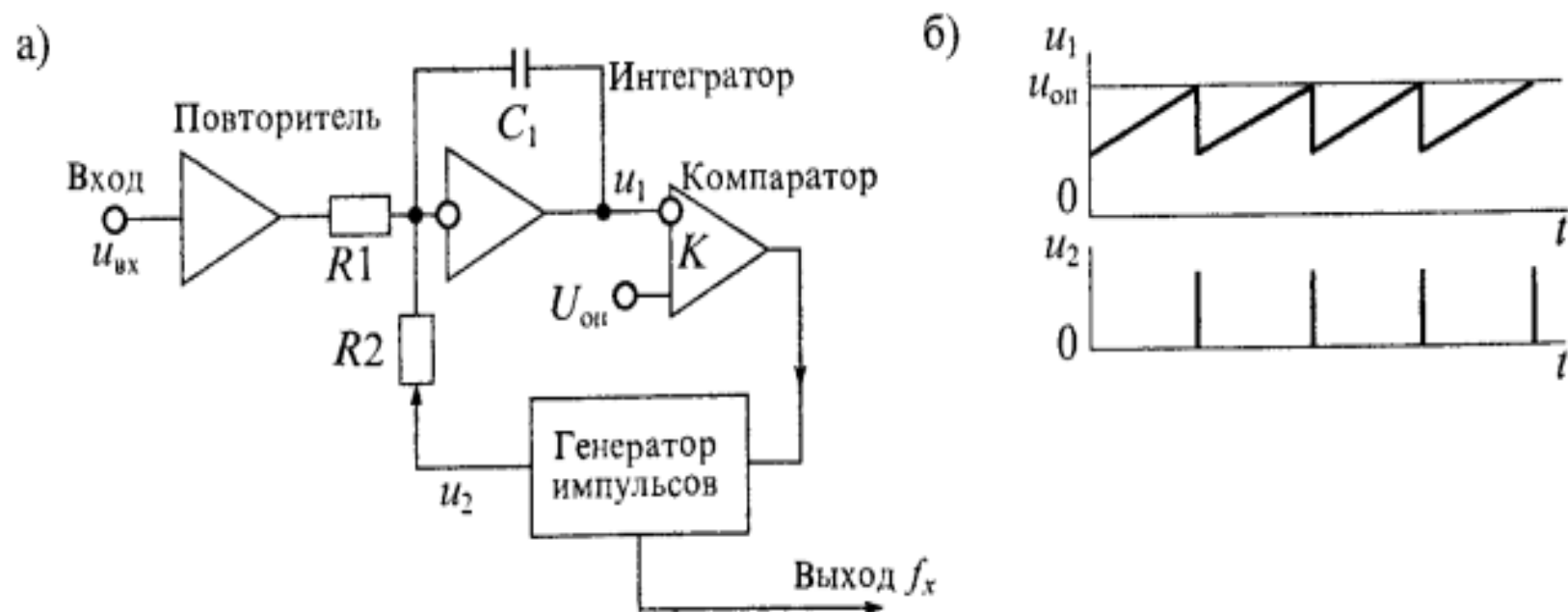


Рис. Структурная схема преобразователя напряжения в частоту с импульсной обратной связью (а) и графики его работы (б)

ПНЧ с импульсной обратной связью состоит из входного повторителя напряжения, интегратора и компаратора, управляющего генератором импульсов в цепи обратной связи интегратора. Заряд конденсатора C_1 интегратора осуществляется входным напряжением $U_{вх}$, а разряд производится импульсом с постоянной вольт-секундной площадью. Если входное напряжение имеет отрицательную полярность, то импульсы генератора должны быть положительными и наоборот. Можно показать, что частота импульсов прямо пропорциональна входному напряжению. Напряжение на выходе интегратора линейно растет, до тех пор пока не сравняется с опорным напряжением $U_{он}$ на прямом входе компаратора K :

$$U_{он} = \frac{1}{C_1} \int_0^T i dt = \frac{1}{C_1} \int_0^T \frac{u_{вх}}{R_1} dt = \frac{1}{R_1 C_1} \bar{U}_{вх} T,$$

откуда $f = T^{-1} = \frac{\bar{U}_{вх}}{R_1 C_1 U_{он}} = \frac{i}{q},$

где $i = U_{вх}/R_1$, а $q = C_1 U_{он}$ — накопленный заряд.

В последнее время в связи широким применением АЦП в различных системах сбора и обработки информации появились новые типы преобразователей с улучшенными характеристиками. К их числу относятся: АЦП с сигма-дельта модулятором, АЦП быстрого интегрирования и конвейерные АЦП.

Структурная схема АЦП с сигма-дельта модулятором приведена на рис. По сути, это название отражает два процесса: интегрирование за малое время и сложение результатов интегрирования. Выходным сигналом такого модулятора является частота импульсов. Схема такого АЦП во многом совпадает с АЦП с частотно-импульсной обратной связью. В этом АЦП также производится компенсация заряда, накопленного в интеграторе, а вместо импульсного генератора используется одноразрядный ЦАП с компаратором на входе.

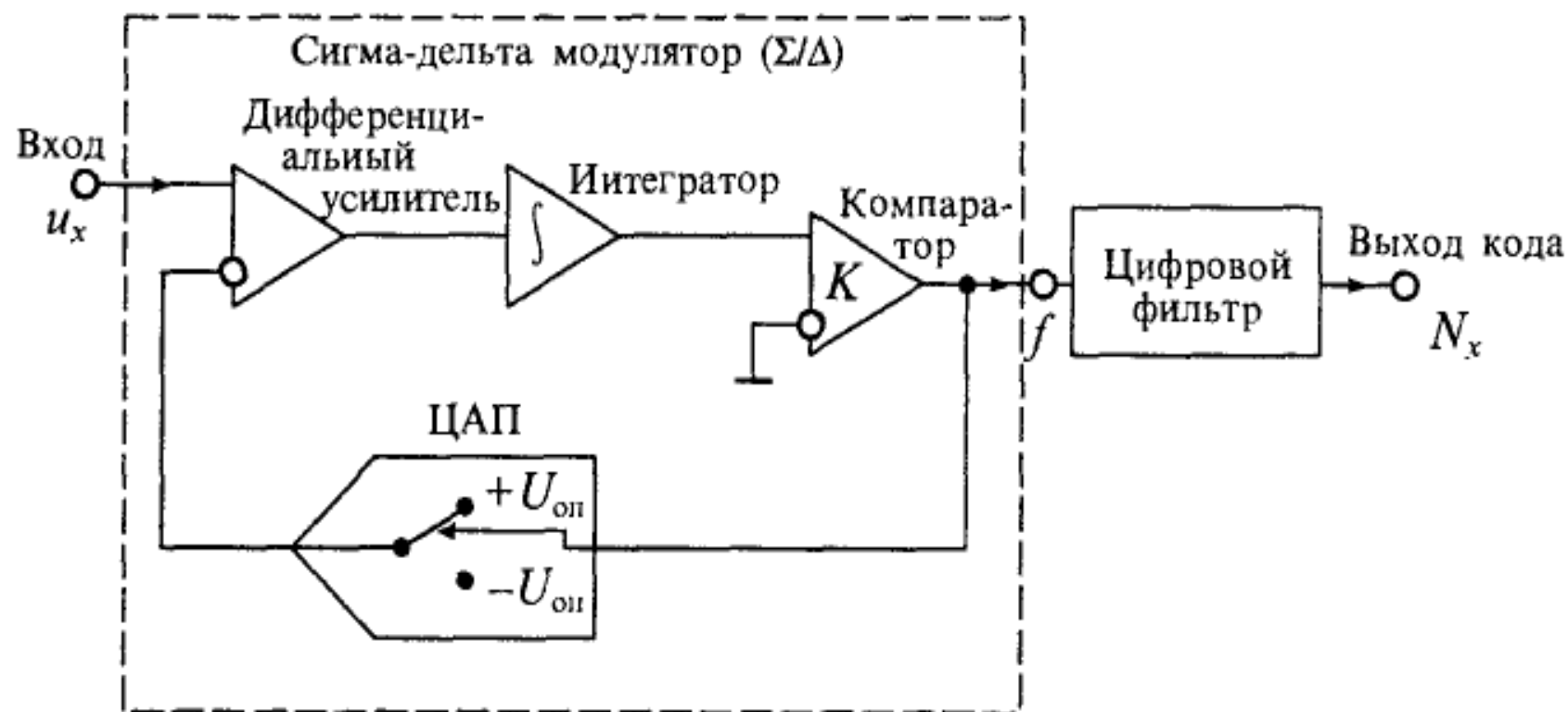


Рис. Структурная схема АЦП с сигма-дельта модулятором

Структурная схема АЦП быстрого интегрирования (рис.) представляет собой интегрирующий АЦП с время-импульсным преобразованием, в котором разряд интегратора выполняется ускоренным образом: вначале до некоторого значения E выходного напряжения от большого напряжения разряда $U_{\text{он}}$ (при замыкании ключа $S2$), а затем от малого $U_{\text{он}} R_5 / (R_4 + R_5)$ (при замыкании ключа $S3$). Такой процесс разряда похож на работу скоростного лифта. Между этажами он движется быстро, а при подходе к остановке резко замедляет скорость. В таких АЦП сокращается время разряда интегратора и увеличивается точность компарирования в конце разряда

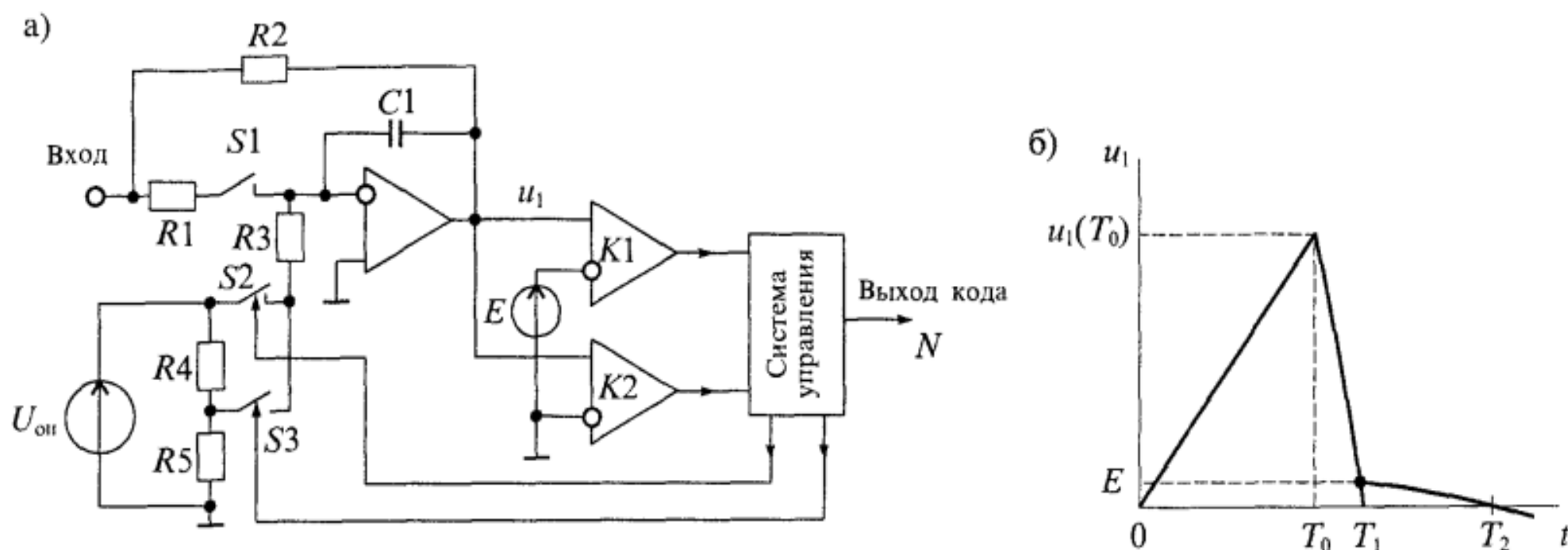


Рис. Структурная схема АЦП быстрого интегрирования (а) и график разряда интегратора (б)

Структурная схема *конвейерного АЦП* приведена на рис. Этот АЦП представляет собой структуру, подобную параллельно-последовательному АЦП, но с увеличенным числом каскадов. Для хранения мгновенных значений напряжения в каждом каскаде используются устройства выборки и хранения информации УВХ1...УВХ3. Вычитающие устройства ВУ1...ВУ3 образуют разность напряжений, подлежащую преобразованию в следующем каскаде. Все АЦП1...АЦП4 параллельные и имеют небольшое число разрядов (обычно не больше четырех).



Рис. Структурная схема конвейерного АЦП