

Лабораторная работа № 1

Изучение многоразрядного сумматора

Цель работы: Приобрести практические навыки по сборке схемы многоразрядного сумматора, изучить принцип его работы.

Краткие теоретические сведения

Сумматором называется цифровое устройство комбинационного типа, предназначенное для сложения (и вычитания) двух чисел, заданных в двоичном коде. Сумматоры используют также для построения цифровых устройств, выполняющих более сложные операции. По числу входов различают полусумматоры, одноразрядные сумматоры и многоразрядные сумматоры. *Полусумматорами* называются устройства с двумя входами и двумя выходами, на которых вырабатываются сигналы суммы и переноса. В табл. 1 приведена таблица истинности полусумматора.

Таблица 1

a_i	b_i	S_i	P_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Графическая схема полусумматора с использованием базовых логических элементов, приведена на рис.1,а. Условное графическое обозначение полусумматора показано на рис. 1,б. Графическая схема полусумматора с использованием логических элементов ИСКЛЮЧАЮЩЕЕ-ИЛИ, приведена на рис.2.

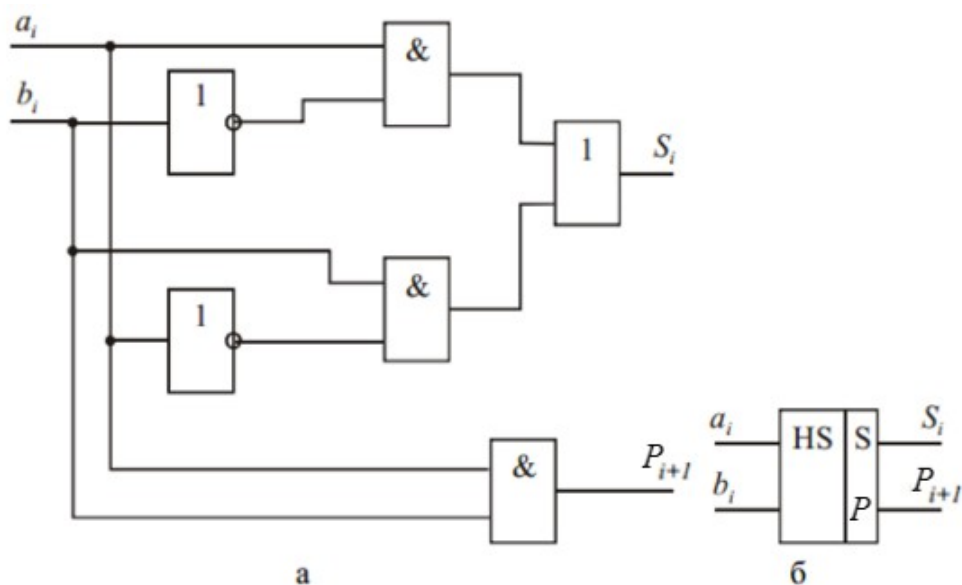


Рис. 1. Схема полусумматора (а) и его графическое обозначение (б)

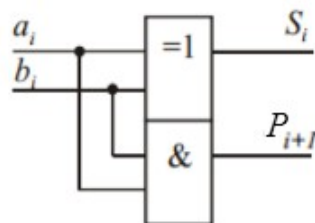


Рис. 2. Схема полусумматора

Схема одноразрядного сумматора может быть реализована на двух полусумматорах, соединенных как указано на схеме рис.3,а. Условное графическое обозначение полного сумматора показано на рис. 3,б.

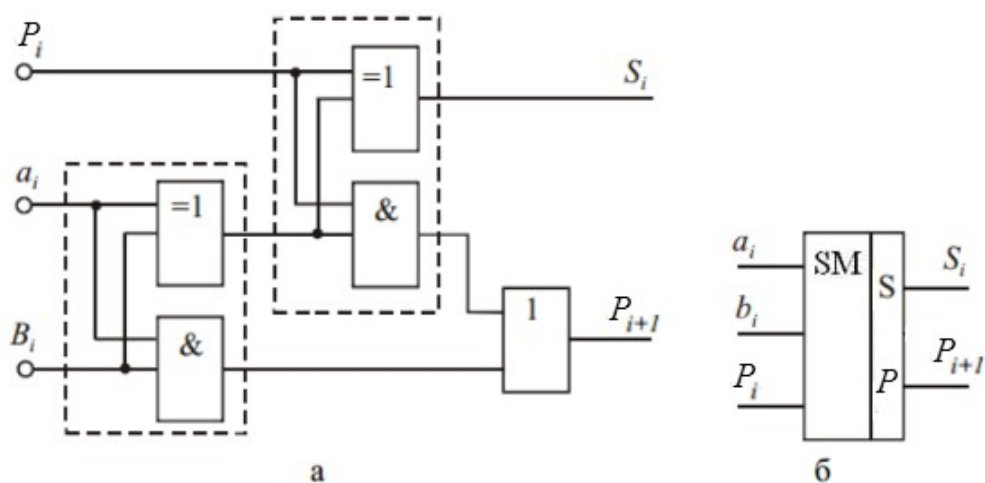


Рис.3. Схема сумматора, реализованного на двух полусумматорах (а) и его графическое обозначение (б)

На базе одnorазрядного сумматора строятся многоразрядные сумматоры. В зависимости от способа ввода кодов слагаемых сумматоры делятся на два типа: *последовательного* и *параллельного действия*. В последовательном многоразрядном сумматоре сложение кодов осуществляется поразрядно, начиная с младшего разряда с помощью одnorазрядного сумматора на три входа. Достоинством последовательного многоразрядного сумматора является простота аппаратной реализации, а недостатком – достаточно большое время суммирования. В параллельном многоразрядном сумматоре достигается более высокое быстродействие. Суммируемые коды поступают на входы сумматора одновременно по всем разрядам.

На рис. 4 приведена схема последовательного двоичного n -разрядного сумматора. Такой сумматор требует минимальных аппаратных затрат, однако длительность операции сложения пропорциональна разрядности чисел. Поэтому последовательные сумматоры можно использовать в относительно медленнодействующих устройствах.

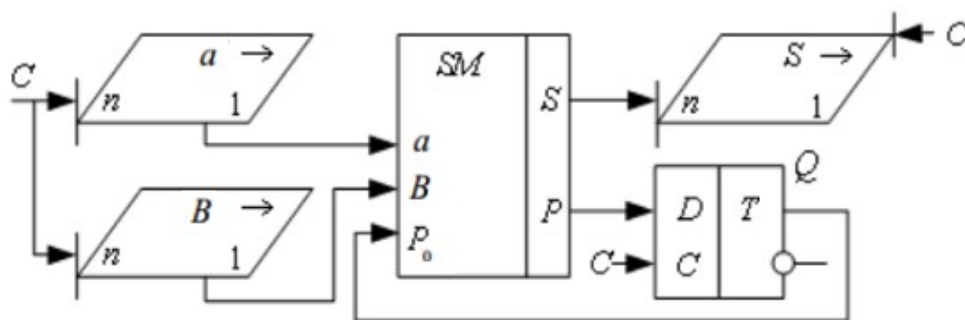


Рис.4. Схема последовательного n -разрядного сумматора

Обычно в ЭВМ используют обработку данных параллельно по разрядам. По способу формирования сигнала переноса параллельные многоразрядные сумматоры подразделяют на сумматоры с последовательным, параллельным и групповым переносом. Выбор схем переноса диктуется требуемым быстродействием сумматора.

Пример построения многоразрядного сумматора с последовательным переносом представлен на рис. 5. Сумматор имеет $2n$ входных разрядных линий a_i и b_i для приема цифр слагаемых, n выходных линий S_n разрядов суммы,

выход переноса P_n из старшего разряда и вход переноса P_0 на младший разряд сумматора. В рассмотренной схеме перенос выполняется последовательно из разряда в разряд, что занимает некоторое время. Максимальное по времени суммирование получается в том случае, когда перенос, возникший в первом разряде, распространяется по всем разрядам (например, при сложении кодов 11..11 и 00..01). При суммировании многоразрядных чисел это время значительно и именно оно определяет время суммирования.

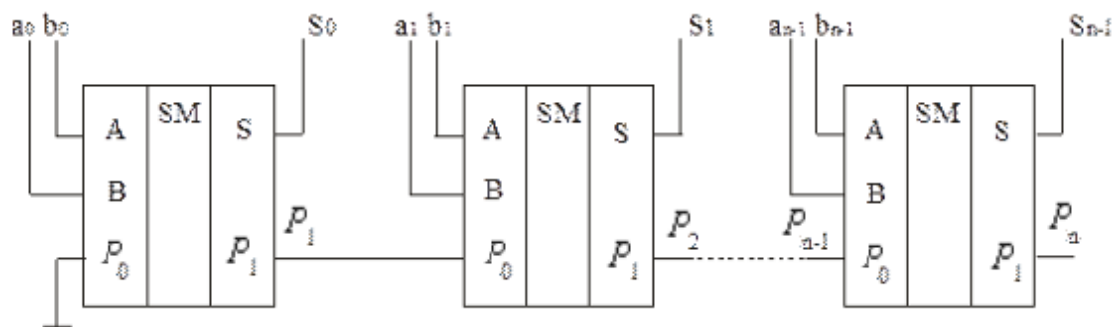


Рис.5. Схема параллельного n -разрядного сумматора с последовательным переносом

С целью уменьшения времени суммирования вместо последовательного используют параллельный перенос. Пример построения 3-разрядного сумматора на логических элементах с параллельным переносом представлен на рис. 6.

На схемах многоразрядные сумматоры обозначаются в виде прямоугольников с тремя полями (рис. 7). В основном поле обозначается функциональное назначение схемы (для сумматора это **SM**).

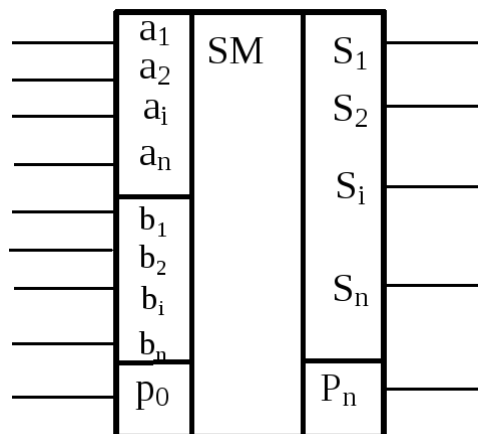


Рис.7. Графическое обозначение n -разрядного параллельного сумматора

Боковые поля предназначены для обозначения данных: левое поле для входных данных, правое – для выходных. Боковые поля могут иметь секции для разделения разноименных входных или выходных данных.

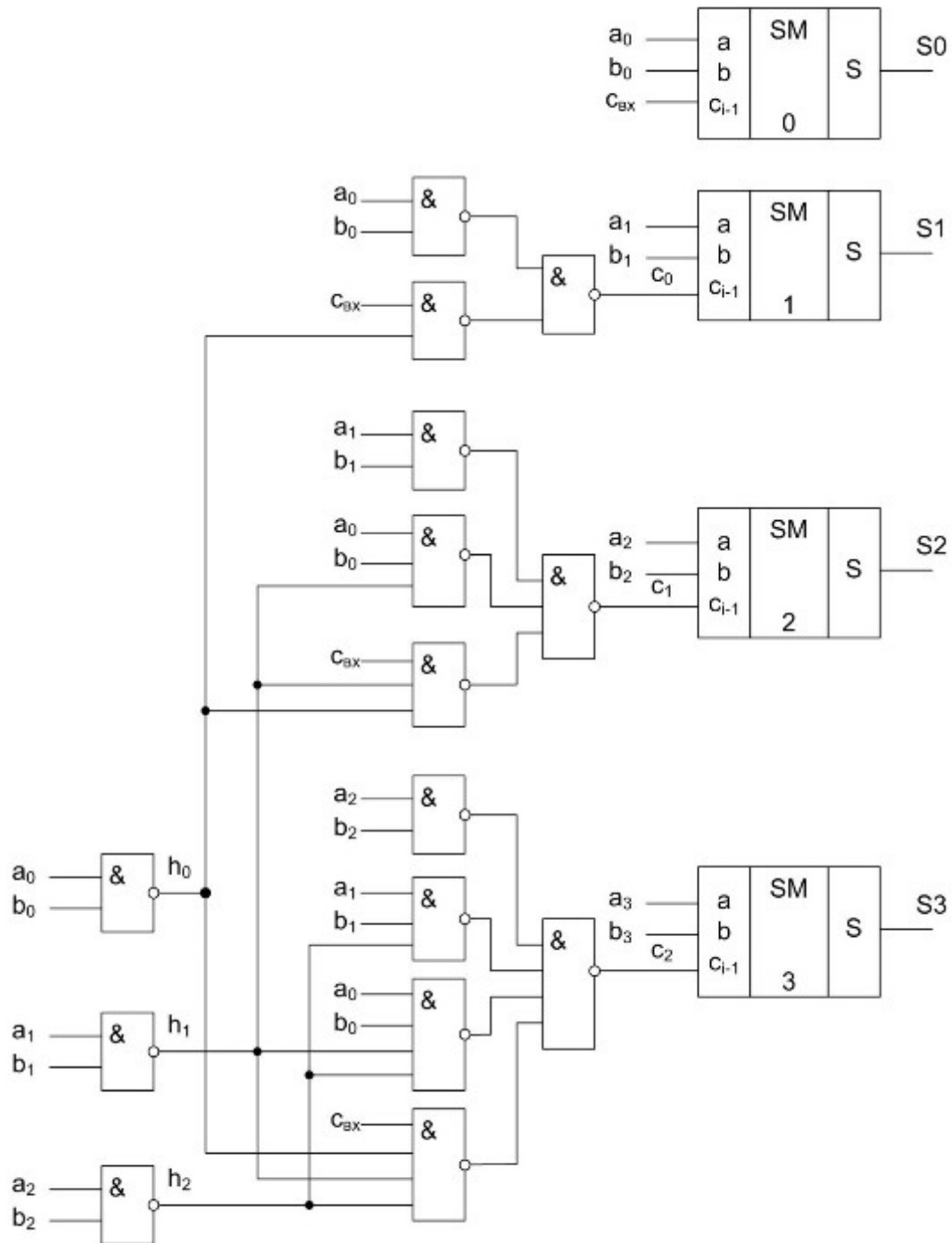


Рис.6. Схема параллельного 3-разрядного сумматора с параллельным переносом

На практике обычно разрядность реально используемых многоразрядных сумматоров с параллельным переносом редко превышает восемь.

Порядок выполнения лабораторной работы

1. Запустите программу Multisim (Electronics Workbench) и нарисуйте схему трехразрядного сумматора с использованием базовых логических элементов, например, показанную на рис.8.

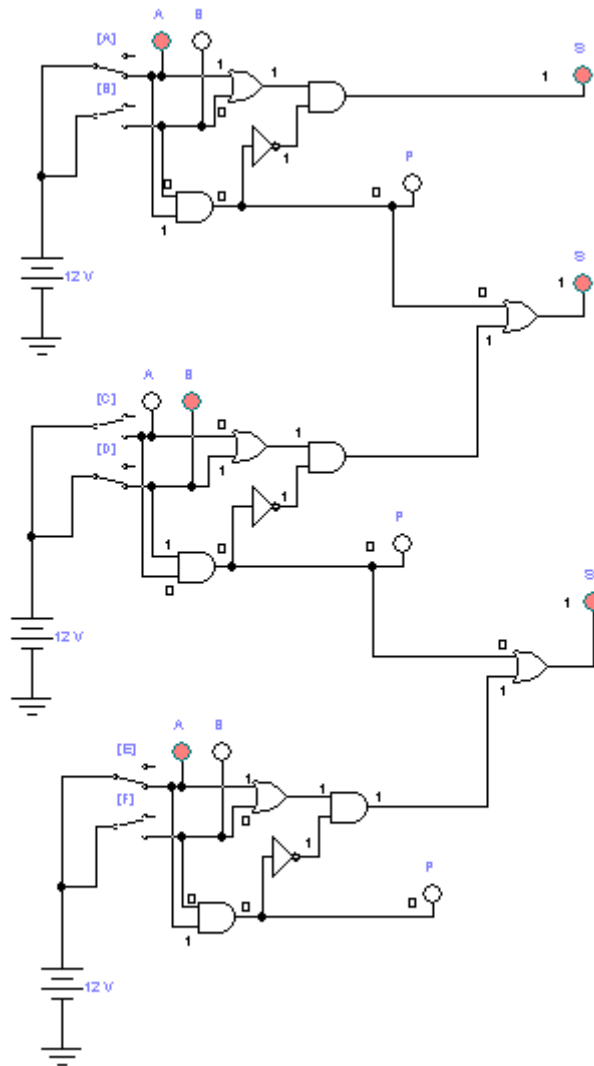


Рис.8. Схема трехразрядного сумматора

2. Рассмотрите работу схемы трехразрядного сумматора (см. рис. 8) при сложении чисел 5 и 2. После перехода из десятичной системы счисления в двоичную: $5_{10} = 101_2$; $2_{10} = 010_2$. После сложения на выходе сумматора должен быть получен код 111 (двоичный код считывается снизу вверх). Выполним проверку: $5 + 2 = 7$; $7_{10} = 111_2$.

3. Поочередно подавая все возможные комбинации входных сигналов с помощью соответствующих ключей, убедитесь в правильной работе сумматора. Составьте соответствующую таблицу истинности.
4. Разработайте и начертите схему четырехразрядного сумматора с последовательным или параллельным переносом (согласно своему варианту) с использованием одноразрядных сумматоров (Full-Adder). Нарисуйте временные диаграммы его работы.
5. Сделайте выводы по проделанной работе.

Контрольные вопросы

1. Чем отличается полусумматор от полного сумматора?
2. Какие преимущества и недостатки имеют последовательные и параллельные сумматоры?
3. Как можно построить схему полного одноразрядного сумматора на базе схем полусумматоров?
4. Какие классификации сумматоров вам известны?
5. Как осуществляется сложение и вычитание многоразрядных чисел в сумматоре?
6. Нарисуйте схему и объясните принцип работы последовательного сумматора.
7. Нарисуйте схему и объясните принцип работы параллельного сумматора.